



## This course covers ARM architecture V4T and V5TE fundamentals

### Objectives

- ARM modes state machine is detailed, clarifying the register banking mechanism.
- Subtleties of ARM instruction set are covered, such as conditional execution, addressing modes, operand shifting.
- Interworking between ARM and Thumb instruction sets is explained.
- The exception mechanism is studied, particularly interrupt nesting.
- The course also covers ARM926EJ-S cache and MMU operation.

*Labs are run under RVDS*

*A more detailed course description is available on request at [training@ac6-training.com](mailto:training@ac6-training.com)*

### Prerequisites

- Basic knowledge of CPU or DSP.
- This one-day course has been designed to meet the pre-requisites of ARM11 and Cortex-A/R courses.  
This is a summary of ARM7/9 course.

### Environnement du cours

- Cours théorique
  - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
  - Cours dispensé via le système de visioconférence Teams (si à distance)
  - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

### Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

### Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
  - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

## Plan

### THE ARM V4T / V5TE ARCHITECTURE

- ARM operation modes
- The ARM registers set, register organization summary according to the current mode
- Program Status Registers
- Exception handling, vector table, automatic switch into ARM mode

### ARM AND THUMB INSTRUCTION SETS

- Conditional execution and flags
- Branch instructions
- The barrel shifter
- Immediate constants
- Single register data transfer
- Stack management
- Register access in Thumb
- ARM architecture V5TE new instructions

### ARM / THUMB INTERWORKING

- Switching between states
- Mixing ARM and Thumb subroutines
- ARM to thumb veneer
- Thumb-to-ARM veneer
- Interworking calls

### EXCEPTION HANDLING

- Exception priority
- Vector table instructions
- Chaining exception handlers
- FIQ vs IRQ
- Example C interrupt handler
- Issues when reenabling interrupts
- C nested interrupt example
- Data abort with memory management
- Adjusting the return address

### MEMORY MANAGEMENT & PROTECTION

- Introduction to page management
- Translation Lookaside Buffer
- Benefits of Fast Context Switch Extension
- ARM926 MMU
- Organization of page descriptor tables
- Configuration & control through CP15

### MEMORY SUBSYSTEMS

- Cache basics
- Hit under miss and its consequence: out of order abort
- Highlighting data flows between main memory and caches
- Write buffer
- Tightly coupled memories

## Renseignements pratiques

Renseignements : 1 jour