ALT2 - Mise en œuvre de Nios (Nios II / Nios V) sur FPGA

Objectifs

- Comprendre les concepts de CPU soft et les bases de Nios II / Nios V.
- Construire des SoC dans Platform Designer (Avalon-MM/Stream, horloge/reset).
- Générer les BSP, mettre en route le firmware et déboguer via JTAG UART.
- Utiliser GPIO, timers, interruptions ; ajouter les communications UART/SPI/I²C.
- Configurer SDRAM/Flash, le placement par le linker et les options de boot.
- Transférer des données en DMA, comparer les débits CPU et DMA.
- Exécuter une petite application FreeRTOS (tâches, ISR, temporisation).
- Créer une IP Avalon-MM spécifique et la piloter depuis le C.
- Optimiser performances et consommation (caches, horloges, optimisation).

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Architecture Nios et présentation du SoC

- Le principe du CPU soft (fabric ou CPU hard).
- Nios II et Nios V (vue d'ensemble).
- Interconnexion : Avalon-MM / Stream.
- Domaines d'horloge et de reset.
- La notion de plan mémoire.

Outils et flot Platform Designer

- Bases d'un projet Quartus.
- Ajouter des IP, connecter maîtres et esclaves.
- Source d'horloge et ponts de reset.
- Génération du HDL et du top-level.
- Revue rapide du Pin Planner.

BSP et mise en route du firmware

- Étapes de génération du BSP.
- HAL ou bare-metal.
- Placement par le script de linker.
- Console JTAG UART.

- Appels de driver minimaux.

GPIO, timer et interruptions

- Utilisation des PIO en entrée/sortie.
- Bases du timer à intervalle.
- Chemin du contrôleur d'interruptions.
- Scrutation ou ISR : les deux approches.
- Principe simple d'anti-rebond.

Deuxième jour

Interfaces série (UART/SPI/I²C)

- Débit et format UART.
- Modes SPI (CPOL/CPHA).
- Opérations maître I²C.
- Bloquant ou IRQ/DMA.
- Contrôles d'erreur simples.

Mémoire et options de boot

- RAM interne ou SDRAM.
- Timings du contrôleur SDRAM.
- Mapping QSPI/Flash.
- Boot : JTAG, Flash.
- Régions du linker (.text/.data).

DMA et débit

- Canaux SG-DMA.
- Chemins M2M, M2P, P2M.
- Bursts et alignement.
- Notes sur la cohérence de cache.
- Mesures de performance simples.

Démarrage rapide avec un RTOS (FreeRTOS)

- Tâches et priorités.
- Tick SysTick/timer.
- Files et sémaphores.
- API utilisables depuis une ISR.
- Dimensionnement de la pile et du tas.

Troisième jour

IP Avalon-MM spécifique

- Bases de l'éditeur de composants.
- Registres esclaves et plan d'adressage.
- Squelettes de lecture/écriture en HDL.
- Exporter l'IRQ (optionnel).
- En-tête du driver dans le BSP.

Spécificités de Nios V et migration

- Note sur l'ISA et la chaîne de compilation.

- Différences de CSR et d'interruptions.
- Changements dans les templates de BSP.
- Flot de reconstruction dans les outils.
- Conseils de compatibilité.

Performances et consommation

- Équilibre entre CPU et DMA.
- Choix des caches I et D.
- Options du compilateur (-O2/-O3).
- Principe du clock gating.
- Profilage simple.

Débogage et conclusion sur la production

- Capture SignalTap.
- Traces de boot sur l'UART.
- Étiquettes de version et CRC.
- Esquisse d'un script de mise à jour.
- Points d'accroche pour les tests en usine.