

This course covers the Low Latency Interface (LLI) MIPI bus

Objectives

- The course starts with an overview of MIPI specification.
- The chapters are studied with a bottom-top approach, starting with M-PHY and ending with LLI.
- The electrical characteristics and related tests of the M-PHY layer are described.
- The course explains the M-PHY state machines and clarifies the configuration of M-PHY through attributes.
- LLI bridge from local interconnect to external M-PHY differential pairs is detailed.
- All layers of LLI from Physical Adapter to Transaction are explained through Service Access Points and Primitives.
- Companies interested in attending this course must adhere to MIPI organization.
- This course has been designed for engineers in charge of SoC architecture, functional verification or silicon validation.

A more detailed course description is available on request at training@ac6-training.com

Prerequisites

- Basic knowledge on digital electronics.

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

INTRODUCTION TO MIPI SPECIFICATIONS

M-PHY

- Termination scheme
- Signaling schemes
- Pulse Width Modulation
- M-PHY type I modules
- Embedding clock into the bitstream, 8b10b coding
- Control symbols
- PHY state definition
- Transitions between states
- HS-MODE BURST Operation
- Configuration attributes
- Test modes
- Electrical characteristics, eye-diagrams
- Recommended test functionality
- Optical Media Converter

DEVICE DESCRIPTOR BLOCK (DDB)

- Services to transfer descriptor and configuration data between devices on a MIPI Interconnect
- Underlying interconnect requirements
- Accessing DDB Services through DDB Service Access Points
- DDB-PDU format
- DDB protocol support for Level 1 and Level 2 services

LOW LATENCY INTERFACE (LLI)

- Objectives: accessing an external device exactly like a local IP, using memory-mapped transactions
- Power management, Automatic Save State
- M-PHY Adapter layer
- Data link layer, independent flow control using Traffic Classes
- Transaction layer, configuration space, ordering rules
- Device enumeration

Renseignements pratiques

Renseignements : 2 jours