

STR10 - STM32F7

This course describe the STM32F7 architecture and practical examples

Objectives

- Grasp the Cortex-M7 core, pipeline, I/D-caches, FPU, SIMD, and MPU.
- Configure clocks (HSI/HSE/PLL) and prescalers.
- Use timers (PWM, capture, encoder) and time bases confidently.
- Build fast, safe DMA paths and handle cache coherency; intro DMA2D.
- Acquire analog data with ADC + DMA; basics of DAC.
- Implement USART, SPI/I²S/SAI, I²C with robust error handling.
- Bring up storage/memory: SDMMC + FatFS, QSPI XIP, FMC SDRAM.
- Enable connectivity: Ethernet (LwIP ping) and USB OTG FS/HS (CDC).
- Apply low-power modes; measure wake latency.
- Set up boot & Option Bytes, watchdogs, and reset-cause logging for production.

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Activités pratiques
 - Les activités pratiques représentent de 40% à 50% de la durée du cours
 - Elles permettent de valider ou compléter les connaissances acquises pendant le cours théorique.
 - Exemples de code, exercices et solutions
 - Pour les formations à distance:
 - ▶ Un PC Linux en ligne par stagiaire pour les activités pratiques, avec tous les logiciels nécessaires préinstallés.
 - ▶ Le formateur a accès aux PC en ligne des stagiaires pour l'assistance technique et pédagogique
 - ▶ Certains travaux pratiques peuvent être réalisés entre les sessions et sont vérifiés par le formateur lors de la session suivante.
 - Pour les formations en présentiel:
 - ▶ Un PC (Linux ou Windows) pour les activités pratiques avec, si approprié, une carte cible embarquée.
 - ▶ Un PC par binôme de stagiaires s'il y a plus de 6 stagiaires.
 - Pour les formations sur site:
 - ▶ Un manuel d'installation est fourni pour permettre de préinstaller les logiciels nécessaires.
 - ▶ Le formateur vient avec les cartes cible nécessaires (et les remporte à la fin de la formation).
- Une machine virtuelle préconfigurée téléchargeable pour refaire les activités pratiques après le cours
- Au début de chaque session (demi-journée en présentiel) une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.

- Les progrès des stagiaires sont évalués de deux façons différentes, suivant le cours:
 - Pour les cours se prêtant à des exercices pratiques, les résultats des exercices sont vérifiés par le formateur, qui aide si nécessaire les stagiaires à les réaliser en apportant des précisions supplémentaires.
 - Des quizz sont proposés en fin des sections ne comportant pas d'exercices pratiques pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, chaque stagiaire reçoit une attestation et un certificat attestant qu'il a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

Day 1

Cortex-M7 overview (core)

- Programmer's model (R0–R15, xPSR)
- MSP/PSP, exception entry/return
- Pipeline & branch prediction
- I-Cache / D-Cache basics
- ITCM / DTCM usage
- FPU
- SIMD
- MPU regions (intro)

Exercise : Core & cache sanity

SoC & memory map

- AXI matrix, AHB/APB bridges
- Flash, SRAM1/2/3 layout
- ITCM/DTCM address zones
- Peripheral regions (APB1/APB2)
- QSPI mapped memory (XIP)
- UID / Flash size registers

RCC & power & boot

- HSI/HSE/PLL sources
- PLL M/N/P/Q settings
- AHB/APB1/APB2 prescalers
- OverDrive (216 MHz) (variants)
- Boot pins, Option Bytes
- Clock security (CSS)

Exercise : Clock profiles

GPIO / EXTI / SYSCFG

- Modes: PP/OD, pulls
- Speed/drive strength
- AF mapping rules
- EXTI lines & priorities
- Debounce choices
- Safe I/O at reset

Exercise : GPIO / EXTI

Timers (adv/gen/basic) + LPTIM

- PWM edge/center
- One-pulse mode
- Input capture
- Encoder interface
- Master/Slave triggers
- LPTIM (if present)
- Break/dead-time (adv)

Exercise : PWM + capture

DMA / DMA2 & DMA2D

- DMA1/DMA2 streams/channels
- FIFO & burst modes
- Mem2mem / P2M / M2P
- Circular/HT/TC/TE IRQs
- Coherency with D-Cache
- DMA2D blit (variants)

Exercise : UART RX DMA ring

Day 2

ADC & DAC

- ADC1..3 (12-bit)
- Regular vs injected
- Sampling time, ranks
- Timer-triggered ADC
- DMA coupling
- DAC dual channel

Exercise : ADC + DMA stream

USART / UART

- 8/9-bit, parity/stop
- Oversampling 16/8
- Blocking / IRQ / DMA
- RX ring with idle detect
- Error handling (FE/ORE)
- Wake from Stop (if used)

Exercise : Robust UART

SPI / I²S / SAI

- SPI mode CPOL/CPHA
- Data sizes, NSS
- Full-duplex DMA
- I²S basic audio path
- SAI blocks (TX/RX)

Exercise : SPI loopback DMA

I²C (and SMBus)

- Sm/Fm/Fm+ speeds
- Addr 7/10-bit
- Filters (analog/digital)
- Timeouts & bus-clear
- Clock stretching
- Error recovery

Storage & external memory

- SDMMC 1/2
- FatFS basics
- QSPI XIP mapping
- FMC SDRAM/NOR/NAND
- Cache maintenance (SCB)
- Buffer alignment rules

Exercise : SD card + FatFS

Ethernet MAC (optional)

- MII/RMII PHY link
- Descriptors & rings
- DMA settings
- LwIP minimal config
- Link/ARP/ping tests

Exercise : Eth bring-up

USB OTG FS/HS

- Device/Host roles
- FS internal / HS via ULPI
- EP/FIFO sizing
- CDC/MSC quick paths
- Low-power suspend/resume

Day 3

Caches, TCM & MPU (deep-dive)

- I-Cache enable/invalidate
- D-Cache clean/invalidate
- Cache pitfalls with DMA
- ITCM code placement
- DTCM data placement
- MPU regions & attrs

Exercise : TCM vs AXI bench

Graphics & Camera (optional)

- LTDC layers/timings
- Framebuffer in SDRAM
- DMA2D color fill/blit
- DCMI capture basics
- Simple UI primitives

Exercise : Color-bar FB

Low-power & PWR

- Sleep/Stop/Standby
- OverDrive vs Stop trade-off
- Wake sources (EXTI/RTC)
- Clock gating checklist
- Retention notes

Exercise : Stop + wake

Crypto & integrity

- CRC unit
- RNG TRNG
- HASH (SHA-1/256)
- CRYPT (AES/TDES)
- Key storage basics

Exercise : AES or CRC check

Boot, Option Bytes & update

- Boot ROM interfaces
- OB: RDP/WRP/BOR
- Dual-bank (variants)
- QSPI/SD boot ideas
- Watchdogs IWDG/WWDG
- Reset causes log

Exercise : IWDG + reset log

Production checklist (wrap-up)

- Clocking & wait-states
- Cache/MPU policy
- External memory proof
- Comms robustness list
- UID/serial/versioning
- Error counters & logs

Exercise : Self-audit sheet

Renseignements pratiques

Renseignements : 3 jours