This 2-day course covers the eMMC 5.0 specification

Objectives

- This course explains the Command – Data – Response protocol.
- The hardware layer is detailed, including the analog part.
- The course clarifies the compatibility between SD and MMC/eMMC specifications.
- The course describes the low power modes.
- Secure aspects, such as secure erase and authenticated transfers are explained.
- An example of eMMC host controller is studied.

A more detailed course description is available on request at training@ac6-training.com

Prerequisites

- Basic knowledge of a bus protocol is recommended

Environnement du cours

- Cours théorique
  - Support de cours imprimé et au format PDF (en anglais).
  - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique.
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
  - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

OVERVIEW

- Objectives of MMC/eMMC specification, relationship with SD
- High capacity devices

- Speed class definition
- Mechanical standards

PHYSICAL LAYER

- Pinout
- Power Saving Sleep mode
- Reset sources
- Power cycling
- Bus speed modes
- Single ended signaling with 4 drive strengths
- Signaling levels of 1.8V and 1.2V
- Tuning concept for read operations
- HS200 adjustable sampling host
- Bidirectional strobe in HS400

INITIALIZATION SEQUENCE

- Device reset to Pre-idle state
- Information registers
- Session address
- Boot area partitions
- Device identification process
- Power class selection
- Power class selection
- Accesses to the Replay Protected Memory Block

BUS PROTOCOLS

- Command – Response – Data block structure tokens
- Multiple-block read and write operations
- CRC status
- Timings
- Bus modes overview
- Error conditions

SECURITY

- • Secure mode, secure removal
- Write protect management
- Production state awareness
- Replay Protected Memory Block, authenticated data transfers
- Security protocol commands
- Field firmware update
- Device lock/unlock operation

eMMC FUNCTIONAL DESCRIPTION

- High priority interrupt (HPI)
- Background Operations
- Real Time Clock
- Partition attributes
- Context management
- System data tagging
- Packed commands
- Dynamic device capacity
- Optional volatile cache
- Boot areas that will automatically stream data when using defined boot modes
- Context writing interruption

HOST CONTROLLER INTERFACE

- Example of NXP uSDHC
- Managing initialization
- Relying on DMA to transfer data blocks

Renseignements pratiques

Renseignements : 2 jours