

This course covers all MCUs belonging to the Stellaris Cortex-M3 family, X00, 1000, 2000, 3000, 5000, 8000 & 9000 SERIES

Objectives

- This course has 5 main objectives:
 - Describing the hardware implementation and highlighting the pitfalls
 - Describing the ARM Cortex-M3 core architecture
 - Becoming familiar with the CCS or Keil IDE and low level programming.
 - Describing the units which are interconnected to other modules, such as clocking, interrupt controller and DMA controller, because the boot program generally has to modify the setting of these units
 - Describing independent I/O modules and their drivers developed by TI (DriverLib).
- Note that this course has been designed from the architecture of the most complex STELLARIS device, the LM3S9B96
 - Consequently, a chapter has been designed by Acsys for each possible integrated IP
 - According to the actual reference chosen by the customer, some chapters may be removed.
- Products and services offered by ACSYS:
- ACSYS is able to assist the customer by providing consultancies
 - Typical expertises are done during board bringup, hardware schematics review, software debugging, performance tuning.
 - ACSYS has also an expertise in FreeRTOS porting and uIP /LWIP or Interniche stack integration.

This document is necessary to tailor the course to specific customer needs and to define the exact schedule.

Prerequisites and related courses

- This course provides an overview of the ARM Cortex-M3 core. Our course reference cours [RM2 - Cortex-M3 implementation](#) details the operation of this core.
- The following courses could be of interest:
 - USB Full Speed High Speed and USB On-The-Go, reference cours [IP2 - USB 2.0](#)
 - Ethernet and switching, reference cours [N1 - Ethernet and switching](#)
 - IEEE1588, reference cours [N2 - IEEE1588 - Precise Time Protocol](#)
 - CAN bus, reference cours [IA1 - CAN bus](#)

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

ARCHITECTURE OF STELLARIS MCUs

- ARM core based architecture
- Description of Series 1000, 2000, 3000, 5000, 8000 and 9000 SoC architecture
- Clarifying the internal data and instruction paths
- Highlighting possible concurrent transactions
- Integrated memories
- SoC mapping

THE ARM CORTEX-M3 CORE

- V7-M core family
- Core architecture
- Programming
- Exception behavior, exception return
- Basic interrupt operation, micro-coded interrupt mechanism
- Memory Protection Unit

BECOMING FAMILIAR WITH CODE COMPOSER STUDIO

- Getting started with the IDE
- Parameterizing the compiler / linker
- Creating a project from scratch
- C start program

PROGRAMMING AND DEBUGGING

- IEEE 1149.1-1990 compatible Test Access Port (TAP) controller
- Integrated ARM Serial Wire Debug

RESET, POWER AND CLOCKING

- Reset
- Clocking
- Power control

INTERNAL INTERCONNECT

- Bus matrix
- μ DMA

HARDWARE IMPLEMENTATION

- Power pins
- Pinout

- GPIO module

INTEGRATED MEMORIES

- Flash memory, this module is not implemented in all STELLARIS devices
- Internal SRAM
- Internal ROM

EXTERNAL PERIPHERAL INTERFACE

- Host bus
- General purpose interface
- DRAM controller

TIMERS

- General Purpose Timer Module block
- Capture Compare PWM pins
- Watchdog timers
- Advanced Motion Control

ANALOG MODULES

- 10-bit Analog-to-Digital Converter and Programmable Gain Amplifier
- Analog comparators

CONNECTIVITY AND COMMUNICATION

- SSI
- UART
- I2C
- CAN modules
- USB
- Fast ethernet with IEEE1588
- ISO7816 smartcard interface
- I2S audio interface
- Using the drivers developed by TI to implement these IO ports (I2C, SPI, UART, USB)

Renseignements pratiques

Renseignements : 5 jours