FA4 - Mise en œuvre de l'i.MX6

Ce cours décrit les SoC i.MX6 Dual core et Quad core

OBJECTIFS

- Le cours détaille la mise en œuvre matérielle du SoC i.MX6.
- Le cours met l'accent sur la séquence de boot, les horloges et les stratégies de gestion de l'énergie.
- Le cours explique tous les paramètres qui influent sur les performances du système afin de réaliser facilement le réglage final.
- Les nombreuses unités complexes impliquées dans la gestion du multimédia sont traitées en profondeur.
- Une présentation générale du cœur Cortex-A9MP aide à comprendre les problèmes causés par la MMU, les caches et le snooping.
- La gestion des interruptions par le GIC d'ARM est expliquée au travers d'un travail pratique.
- Le cours couvre également la mise en œuvre matérielle, en particulier les contrôleurs DDR3 et NAND flash.

- Notez que ce plan de cours couvre toutes les unités présentes dans l'i.MX6
  - Selon la référence effectivement retenue par le client, certains chapitres peuvent être supprimés.

- Produits et services proposés par ACSYS :
  - ACSYS peut accompagner le client sous forme de prestations de conseil. Les expertises habituelles portent sur le bring-up de carte, la revue de schématique matérielle, le débogage logiciel et l'optimisation des performances.

Prérequis et cours associés

- Ce cours ne propose qu'une présentation générale du Cortex-A9MP
- Notre cours de référence cours R1 - ARM7/9 implementationdétaille le fonctionnement de ce processeur ARM complexe.
- Notre cours de référence cours RC1 - Programmation NEON-v7explique comment vectoriser et mettre en œuvre des algorithmes destinés à être exécutés par le moteur SIMD NEON.

- Les cours suivants peuvent également vous intéresser :
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - Bus CAN, référence cours IA1 - Bus CAN
  - Cartes mémoire, référence cours IS2 - eMMC 5.0
  - SATA, référence cours IS3 - Serial ATA III
  - PCI Express, référence cours IC4 - PCI Express 3.0

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

ARCHITECTURE DE L'i.MX6

- Architecture basée sur un cœur ARM
- Mémoires intégrées
- Clarification des chemins de données internes : interconnexion AXI, bus AHB, bus périphériques
- Organisation d'une carte basée sur i.MX6
- Cartographie mémoire

Contrôle système

- Module IOMUX, comprendre comment sélectionner la fonction supportée par chaque broche
- Paramétrage des pads
- Capacité de demande d'interruption des entrées à usage général

Le cœur ARM Cortex-A9MP - présentation

- Jeux d'instructions
- Description du pipeline
- MMU et TLB
- Caches de niveau 1
- Cohérence des caches

La plateforme Cortex-A9MP

- Options d'instanciation des IP Cortex-A9MP et cache L2 PL310
- Contrôleur d'interruptions intégré (GIC), détail de la cartographie des interruptions
- Pont AHB to IP
- Pont AHB-to-APBH avec DMA
- Interconnexion AXI NIC-301

Reset et horloges

- Alimentations
- Clock Control Module
- System Reset Controller
- General Power Controller

Architecture de débogage

- Introduction à CoreSight, fonctionnalités du DAP
- System Secure Controller SJC
- Embedded Trace Macrocell
- Cross Triggering Interfaces

Sécurité du système

- Architecture ARM TrustZone
- Cryptographic Acceleration and Assurance Module
- Secure Non Volatile Storage
- Run-Time Integrity Checker
- Central Security Unit
- Advanced High Assurance boot

Contrôleur smart DMA

- Présentation, routines de script de base
- Association des requêtes DMA aux canaux
- Définition de la priorité des canaux
- Scheduler
- Description des instructions
- États du PCU
- Changement de contexte

Accès aux mémoires externes

- Multi-Mode DDR Controller
- General-Purpose Media Interface
- Unité EIM

Interfaces de stockage de masse

- S-ATA II
- Ultra SDHC

Unités de traitement vidéo

- Un flux de traitement simple d'une application multimédia
- Video Processing Unit
- Image Processing Unit v3
- Graphics Processing Unit 2D
- Graphics Processing Unit 3D

Interfaces liées à l'audio

- Présentation du sous-système audio
- Interfaces SSI
- Multiplexeur audio numérique
- Émetteur SPDIF
- Enhanced Serial Audio Interface (ESAI)
- Asynchronous Sample Rate Converter
- PWM

CONTRÔLEUR PCIe

- Fonctionnement Gen 2
- 1 lane
- Configuration en Agent ou en Root Complex
- Gestion des interruptions
- Paramétrage du PHY

Contrôleurs de communication

- HSI
- Enhanced CSPI
- Interfaces I2C
- UART
- USB
- Gigabit Ethernet Controller
- MediaLB
- Contrôleurs FlexCAN