FA5 - Mise en œuvre de l'i.MX8m

Ce cours décrit les SoC i.MX8m Dual core et Quad core

OBJECTIFS

- Le cours détaille la mise en œuvre matérielle du SoC i.MX8m
- Le cours met l'accent sur la séquence de boot, les horloges et les stratégies de gestion de l'énergie
- Le cours explique tous les paramètres qui influent sur les performances du système afin de réaliser facilement le réglage final
- Les nombreuses unités complexes impliquées dans la gestion du multimédia sont traitées en profondeur
- Une présentation générale du cœur Cortex-A53 aide à comprendre les problèmes causés par la MMU, les caches et le snooping
- La gestion des interruptions par le GIC d'ARM est expliquée au travers d'un travail pratique
- Le cours couvre également la mise en œuvre matérielle, en particulier les contrôleurs DDR3 et NAND flash

Prérequis et cours associés

- Ce cours ne propose qu'une présentation générale du Cortex-A53
- Notre cours de référence cours RA7 - Mise en œuvre du CORTEX-A53, architecture ARM V8détaille le fonctionnement de ce processeur ARM complexe.
- Notre cours de référence cours RC2 - Programmation NEON-v8explique comment vectoriser et mettre en œuvre des algorithmes destinés à être exécutés par le moteur SIMD NEON ARMv8.

- Les cours suivants peuvent également vous intéresser :
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - Bus CAN, référence cours IA1 - Bus CAN
  - Cartes mémoire, référence cours IS2 - eMMC 5.0
  - SATA, référence cours IS3 - Serial ATA III
  - PCI Express, référence cours IC4 - PCI Express 3.0

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture de l'i.MX8m

- Architecture basée sur un cœur ARM
- Mémoires intégrées
  - Boot ROM
  - RAM interne multimédia / partagée, à accès rapide (OCRAM, 256 Ko)
  - RAM secure/non-secure (16 Ko)
- Clarification des chemins de données internes : interconnexion AXI, bus AHB, bus périphériques
- Organisation d'une carte basée sur i.MX8
- Synthèse de toutes les fonctionnalités des périphériques
- Cartographie mémoire

Contrôle système

- Module IOMUX, comprendre comment sélectionner la fonction supportée par chaque broche
- Paramétrage des pads
- Capacité de demande d'interruption des entrées à usage général
- Description des signaux
- Mise en œuvre matérielle, sources d'horloge externes

Le cœur Arm Cortex-A53 – Présentation

- Présentation du cœur, architecture et modèle de programmation
- Jeux d'instructions
- Description du pipeline
- MMU et TLB
- Caches de niveau 1
- Cohérence des caches
- Cache de niveau 2
- Timers et watchdogs

La plateforme Cortex-A53

- Options d'instanciation de l'IP Cortex-A53
- Contrôleur d'interruptions intégré (GIC), détail de la cartographie des interruptions
- Pont AHB to IP
- Pont AHB-to-APBH avec DMA
- Interconnexion AXI, arbitrage, paramètres QoS et tide-marks
- Timers, EPIT, GPT, WDOG

Reset et horloges

- Alimentations
  - Exigences et restrictions sur les alimentations
  - Séquences de mise sous tension et hors tension
  - Alimentations DC/DC et LDO pour les ressources internes, détail des régulateurs analogiques
  - Détecteur de brownout
  - Surveillance de la température
- Clock Control Module
  - Entrées d'horloge
  - PLL intégrées, calcul de la fréquence de sortie
  - Procédure de changement de fréquence

    - Détail des circuits de génération d'horloge
    - Support des techniques DVFS pour les modes basse consommation
    - Schéma souple de contrôle du clock gating
- System Reset Controller
    - Reset global et reset à chaud
    - Sélection du mode de boot du système
    - Fonctionnement du mode bootstrap
    - Configuration des eFUSE
    - Exemple : boot depuis l'eMMC
- General Power Controller
    - Techniques d'économie d'énergie
    - Utilisation de la rétention d'état logicielle et du power gating pour ARM et NEON/VFP
    - Support de différents niveaux de modes de consommation système (WFI, WAIT, STOP, STANDBY)
    - Suivi de la charge
    - Courant consommé dans les modes basse consommation

Architecture de débogage

- Introduction à CoreSight, fonctionnalités du DAP
- System Secure Controller SJC
- Embedded Trace Macrocell
- Cross Triggering Interfaces

Sécurité du système

- Architecture ARM TrustZone
    - Contrôleur System JTAG
    - Protection des régions sécurisées de la mémoire DDR par le TrustZone Address Space Controller
- Cryptographic Acceleration and Assurance Module
    - RAM sécurisée de 16 Ko
    - Détection et signalement des violations et des intrusions
- Secure Non Volatile Storage
    - Secure Real Time Clock
- Run-Time Integrity Checker
    - Authentification de message SHA-1 et SHA-256
    - Collecte segmentée des données
    - Mode de hachage unique et mode de hachage continu
- Central Security Unit
    - Configuration au boot par les eFuses
    - Description des eFuses
    - Contrôleur OTP intégré
    - Empreinte mémoire du fuse shadow
- Séquence de boot
    - Modes de boot
    - Paramètres de sécurité du boot
    - Vérification de la signature de la flash : SHA-256, clé RSA 2048 bits
    - Initialisation du CSU et de TrustZone
    - Activation du bloc de boot
    - Horloges au moment du boot
    - Gestion des interruptions
    - Bloc de configuration du firmware
    - Image vector table et boot data
    - Device Configuration Data (DCD)
    - Boot MMC et eMMC
    - Boot depuis des composants série

Contrôleur Smart DMA

- Présentation, routines de script de base
- Association des requêtes DMA aux canaux
- Définition de la priorité des canaux
- Scheduler, scrutation des requêtes DMA, arbre de décision du canal suivant
- Unité de calcul de CRC
- Initialisation du SDMA
- Description des instructions
- États du PCU
- Changement de contexte
- Horloges de référence et modes basse consommation

Accès aux mémoires externes

- Multi-Mode DDR Controller
  - Introduction au LPDDR2 et au DDR3
  - Contrôleur SDRAM DDR3 amélioré
  - Brochage, calibration DDR et lignes à retard
  - Suivi des pages mémoire ouvertes
  - Arbitrage entre les accès en lecture et en écriture en attente
  - Mécanisme de réordonnancement pour désigner l'accès gagnant
  - Débogage du contrôleur DDR
  - Outils de profilage intégrés
- General-Purpose Media Interface
  - NAND-flash 8 bits, support du raw MLC/SLC, pages de 2/4/8 Ko
  - Conforme ONFI2.2
  - ECC BCH jusqu'à 40 bits, accélérateur matériel
  - APBH_DMA, moteur DMA pilotant le module GPMI
- Flash QuadSPI avec support du XIP
- Unité EIM
  - Support du fonctionnement en bus adresses / données multiplexé, ports de taille x16 et x32
  - Clarification des plages d'adresses maximales par chip-select
  - NOR flash, contrôle SRAM/PSRAM
  - Modes de fonctionnement synchrone et asynchrone
  - Utilisation d'une requête DMA pour permettre à un esclave connecté à l'EIM de demander un transfert

Interfaces de stockage de masse

- Ultra SDHC
  - 4 contrôleurs
  - Support des protocoles SD, MMC et SDIO
  - Protocole de transfert, lecture et écriture en bloc simple et en blocs multiples
  - Capacités DMA internes

Multimédia

- Un flux de traitement simple d'une application multimédia
  - Interfaces MIPI d'affichage / capteur, D-PHY intégré
- Video Processing Unit
  - Codec vidéo multi-standard
  - Configuration du frame buffer
  - Formats de décodage / encodage matériels jusqu'à 1080p 30 fps
  - Processeur BIT intégré
  - Pipelines d'encodage et de décodage
  - Besoins en buffers de traitement du codec vidéo
- Image Processing Unit v3
  - Connectivité aux afficheurs et contrôleurs (Parallel, LVDS, MIPI, HDMI), aux caméras (parallel, MIPI)
  - Connectivité des ports d'entrée vidéo
  - Acquisition vidéo, interface CSI

    - Synchronisation, capture d'image fixe, mode vidéo
    - Image Signal Processor, traitement des images capturées
    - Description de la chaîne de traitement
    - Conversions d'image : redimensionnement, rotation/inversion, conversion de couleurs, désentrelacement
    - Chaîne de multiplexage des signaux d'affichage
    - Pont d'affichage LVDS
    - Display port, accès synchrone et accès asynchrone
    - Interface HDMI 1.4, support HDCP
    - Video Data Order Adapter
    - Display Content Integrity Checker, vérification qu'une information critique pour la sécurité envoyée à un afficheur n'est pas corrompue
    - Moyens de débogage de l'IPU
- Graphics Processing Unit
    - Fonctionnalités de l'interface hôte et mémoire
    - Fonctionnalités de gestion de l'énergie
    - Fonctionnalités du Command Processor
    - Support d'OpenCL
    - Traitement des textures
    - Traitement des fragments
    - Rendu
    - Destination et Alpha Blending
    - Utilisation du GPU

Interfaces liées à l'audio

- Présentation du sous-système audio
- Interfaces SSI
    - Connexion de codecs ou de DSP
    - Mode I2S
    - Synchronisation de trame
    - Support AC97
- Multiplexeur audio numérique
    - Connexion des interfaces hôte aux interfaces périphériques
    - Description des signaux externes
    - Mode réseau interne
- Émetteur SPDIF
    - Introduction à l'IEC958
    - Sélection de l'horloge
    - Fonctionnement de la FIFO d'émission
- Enhanced Serial Audio Interface (ESAI)
- Asynchronous Sample Rate Converter
    - Conversion simultanée de la fréquence d'échantillonnage de 10 canaux au maximum
    - Seuil programmable par l'utilisateur pour les FIFO d'entrée/sortie
    - Alignement sur les mots supporté
- PWM
    - Compteur 16 bits, optimisé pour générer du son à partir d'échantillons audio stockés
    - FIFO de 4 x 16 données
    - Programmable pour rester actif dans les modes basse consommation et de débogage

Contrôleur PCIe

- Fonctionnement Gen 2
- 1 lane
- Configuration en Agent ou en Root Complex
- Gestion des interruptions
- Gestion des erreurs
- Paramétrage du PHY

Contrôleurs de communication

- HSI
- o Modes d'accès PIO et DMA
  - 16 canaux logiques en émission comme en réception
  - Bande passante programmable par canal
  - FIFO d'émission et de réception configurables
  - Gestion des buffers de canaux de données, moteur DMA
- Enhanced CSPI
  - Bases du protocole SPI
  - Fonctionnement maître / esclave
  - Chip-select externe
  - Mode FIFO, support du DMA
- Interfaces I2C
  - Bases du protocole I2C
  - Maître et esclave
  - Séquence de transfert
- UART
  - Contrôleurs UART 8 fils et 4 fils
  - Support de la carte à puce
  - Contrôle de flux
  - Support du mode multipoint RS485 9 bits
- USB
  - Explication de ce qu'est l'OTG
  - Les 4 ports USB
  - Fonctionnement high-speed
  - Support EHCI
  - Mode bypass ULPI
  - Fonctionnement full speed
  - Configuration des endpoints
- Gigabit Ethernet Controller
  - Bases d'Ethernet
  - Connexion du PHY, interface de gestion du PHY
  - Gestion des buffers, basée sur des Buffer Descriptors
  - Mécanismes de filtrage des trames entrantes, tables de hachage
  - Contrôle de flux en mode Full Duplex
  - Support des VLAN
  - Déport des traitements TCP-IP
  - Support du protocole IEEE1588, registres d'horodatage
- MediaLB
  - Interface avec les réseaux MOST
  - Fonctionnement 3 ou 6 broches
  - PLL MediaLB
  - Bloc d'interface avec le bus hôte
  - Bloc de routing fabric
  - Gestion des canaux asynchrones et isochrones
  - Table des descripteurs de canaux
  - Mode paquet simple et mode paquets multiples
- Contrôleurs FlexCAN
  - Bases du protocole CAN
  - Mailboxes flexibles avec une longueur de données de zéro à huit octets
  - Registres de masque Rx individuels par mailbox
  - Time Stamp basé sur un timer 16 bits à décompte libre