# FCC2 - Mise en œuvre du e5500

*Ce cours couvre le cœur e5500 présent dans les SoC QorIQ 64 bits*

## Objectifs

- Ce cours fournit une description détaillée de l'architecture interne du e5500 ainsi que des routines de bas niveau associées.
- Les mécanismes de cohérence nécessaires dans les plateformes à plusieurs e5500 sont expliqués au travers de séquences.
- Tous les mécanismes requis dans un système multicœur sont décrits : séquence atomique via la paire d'instructions lwarx/stwxc., interruptions doorbell.
- Le cours met l'accent sur les apports de l'hypervisor : exécution de plusieurs systèmes d'exploitation, partitionnement, répartition de charge et virtualisation.
- Le fonctionnement de la MMU est étudié, en particulier les routines de rechargement logiciel des TLB.
- Le cours détaille l'unité interrupt proxy et donne des règles pour mettre en œuvre l'imbrication.
- A noter que pour un cours en intra-entreprise, le contenu peut être adapté aux besoins spécifiques du client.

- Ce cours a été conçu en collaboration avec NXP

## Prérequis

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.

## Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

## Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

# Plan du cours

## PRÉSENTATION DU CŒUR e5500

- Mise en évidence du chemin de données et du chemin d'instructions
- Evolutions du e500mc vers le e5500

## ETAT HYPERVISOR DU e5500

- Machine à états des niveaux de privilège du processeur : user, guest OS, hypervisor
- Fonctionnement bare-metal
- Collaboration entre l'OS invité et l'hypervisor pour recharger les TLB
- Interruptions dirigées
- Messagerie au sein d'un domaine de cohérence
- Filtrage des messages entrants

## Pipeline

- Fonctionnement du pipeline d'instructions, double émission, exécution dans le désordre
- Besoins en ressources de la file d'émission
- Conditions de dispatch, conditions de complétion
- Sérialisations d'exécution et de contexte, rôle de l'instruction isync
- Gestion des branchements : prédiction dynamique, BTB
- Link stack
- Segment target index cache (STIC) et segment target address cache (STAC)
- Mémoire guarded

## Chemins de données et d'instructions

- Mise en œuvre d'une routine de spin lock
- Decorated storage facility
- Barrières mémoire
- Insertion dans une liste dans un système multicœur

## Modes de calcul

- Choix du mode thread 32 bits ou du mode thread 64 bits
- Calcul des adresses effectives
- Instructions arithmétiques 64 bits

## Unité de calcul en virgule flottante

- Fonctionnement de la FPU : registre FPSCR, mode IEEE et mode non-IEEE
- Instructions load / store en virgule flottante
- Instructions arithmétiques en virgule flottante
- Instructions de conversion
- FPU entièrement pipelinée

## Le mecanisme d'exception

- Gestion des exceptions : construction de la table de handlers via les registres IVPR et IVOR
- Exceptions récupérables et non récupérables
- Conditions requises pour supporter l'imbrication des exceptions
- Priorités des exceptions
- Interrupt proxy
- Exceptions multicœur, doorbells et messages
- Timers intégrés
- Séquence de reset, contraintes d'initialisation

## L'unité de gestion mémoire

- Définition des objectifs de la MMU
- Traduction d'adresses, comprendre l'adresse virtuelle intermédiaire sur 48 bits
- Protection des processus par le TID
- Architecture de MMU à deux niveaux, TLB de niveau 1 et TLB de niveau 2
- Organisation des TLB, gestion logicielle des TLB, registres MAS
- Rechargement logiciel des TLB, clarification de l'assistance matérielle pour choisir la victime dans le L2TLB0
- Gestion d'une table de descripteurs de pages dans un système SMP, instruction tlbivax
- Virtualization fault, gestion de la MMU au niveau hypervisor
- Instructions load et store External PID
- Protection de parité des TLB, détection des hits multiples

## Caches L1 et L2, snooping

- Cache L1 du e5500
- Organisation du cache L2
- Hit under miss et miss under miss
- Fusion des store miss
- Mise en œuvre Harvard dynamique
- Mode write shadow
- Séquences de snooping MESI impliquant deux e5500 et un maître PCI Express
- Instructions de prefetch de données et d'instructions
- Verrouillage d'entrées de cache
- Capacité de stashing
- Détection et correction d'erreurs des caches L1 et L2, injection d'erreurs

## Débogage

- Performance monitor
- Unité de débogage Nexus
- Points d'arrêt sur instruction et sur données, programmation des plages d'adresses
- Message d'acquisition de données de débogage
- Instruction Debug Notify Halt
- Trace Nexus

## Gestion de l'energie

- Connexion à l'unité PM de la plateforme
- Etats d'alimentation
- Interruption de réveil