FCQ1 - Mise en œuvre des QorIQ P101X

Ce cours couvre les QorIQ NXP P1010 et P1014

Objectifs

- Ce cours clarifie l'architecture des P1010 et P1014, en particulier le fonctionnement du module de cohérence qui interconnecte le e500 à la mémoire et aux interfaces haut débit.
- Le protocole de cohérence de cache est présenté de manière progressive.
- Le cœur e500 est étudié en détail, notamment l'unité SPE qui permet le traitement vectoriel.
- La séquence de boot et la génération d'horloges sont expliquées.
- Le cours met l'accent sur la mise en œuvre matérielle du P101X.
- Une longue introduction au fonctionnement de la DDR SDRAM est faite avant l'étude du contrôleur DDR3/3L SDRAM.
- Une description approfondie du port PCI-Express est réalisée.
- Le cours explique comment mettre en œuvre la QoS sur les contrôleurs GigaEthernet.

- ACSYS a développé une FFT optimisée s'appuyant sur SPE et codée en langage assembleur.
- Les performances pour 1024 échantillons complexes en virgule flottante simple précision sont :
  - - 91_386 cycles d'horloge cœur sans inversion d'ordre, 94_124 avec inversion d'ordre
- Les performances pour 4096 échantillons complexes en virgule flottante simple précision sont :
  - - 470_778 cycles d'horloge cœur sans inversion d'ordre, 511_227 avec inversion d'ordre
- Pour toute information, contactez training@ac6-training.com

Prérequis et cours associés

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- Les cours suivants peuvent être intéressants :
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - PCI express gen2, référence cours IC4 - PCI Express 3.0
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - SD / MMC, référence cours IS2 - eMMC 5.0
  - Serial-ATA, référence cours IS3 - Serial ATA III
  - Bus CAN, référence cours IA1 - Bus CAN

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Introduction au P1010

Architecture du SOC

- Plan mémoire, ATMU, configuration OCEAN
- Espaces d'adressage locaux et externes, décodage d'adresses entrant et sortant
- Unité de contrôle d'accès

LE CŒUR e500

Le pipeline d'instructions

- Contrôle superscalaire à double émission, exécution dans le désordre
- Unités d'exécution
- Prédiction dynamique de branchement
- Temps d'exécution

Chemins de données et d'instructions

- Load store unit, mise en tampon des données entre la LSU et le CCB
- Fusion des store miss et regroupement des stores
- Ordonnancement des accès mémoire
- Acquisition de verrous et barrières d'import

L'unité de gestion mémoire

- Thread et processus
- La MMU de premier niveau et la MMU de second niveau, cohérence entre les TLB L1 et L2
- Rechargement logiciel des TLB, attributs de page WIMGE
- Protection des processus, nombre variable de registres PID et partage
- Adressage réel sur 36 bits

Caches

- Les caches L1
- Cache de niveau 2, partitionnement en cache L2 et SRAM
- Mécanisme de snooping
- Mécanisme de stashing
- Verrouillage du cache L2
- Protection ECC

Programmation

- Différences entre la nouvelle architecture Book E et l'architecture PowerPC classique
- Unités de calcul en virgule flottante, FP double précision
- Signal Processing APU (SPU) : mise en œuvre de la capacité SIMD sans unité séparée
- EABI PowerPC : sections, interface C vers assembleur

Exceptions

- Critiques et non critiques
- Table de handlers

- Registres de syndrome
- Timers du cœur

Débogage

- Surveillance des performances
- Emulation JTAG
- Logique de watchpoint

Infrastructure

Reset, horloges et initialisation

- Choix de la configuration des tensions
- Séquence de power-on reset, utilisation de l'interface I2C pour accéder à la ROM série
- Configuration au power-on reset
- Gestion de l'énergie
- Secure boot et architecture de confiance

MODULE DE COHERENCE e500

- Arbitre d'entrées/sorties
- Arbitre du CCB
- Multiplexeur global de données

Contrôleur mémoire DDR3/DDR3L sdram

- Terminaison On-Die
- Mécanisme de calibration
- Initialisation des registres de mode, sélection de banque et precharge
- Table de vérité des commandes
- Chronogrammes d'activation de banque, de lecture, d'écriture et de precharge, mode page
- Introduction au contrôleur DDR-SDRAM
- Configuration initiale après le Power-on-Reset
- Programmation des paramètres temporels

Contrôleur flash intégré

- Multiplexage fonctionnel des broches entre NAND, NOR et GPCM
- Contrôle du tampon de données
- FSM GPCM normale
- FSM flash NOR
- FSM ASIC générique
- FSM flash NAND

Interface PCI express

- Interface PCI Express à 1 lane
- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrantes et sortantes
- Configuration, initialisation

Contrôleur SATA

- Spécification électrique
- Native command queuing, descripteur de commande

- Coalescence des interruptions
- Fonctionnement du port multiplier
- Etapes d'initialisation

Contrôleur d'interruptions programmable

- Sources d'interruption
- Timers intégrés
- Utilisation des registres par CPU
- Mise en œuvre de l'imbrication

Contrôleur DMA intégré

- Priorité entre les 4 canaux
- Support du chaînage en cascade de descripteurs
- Scatter / gathering
- Cohérence matérielle sélectionnable

Performance monitor et fonctions de débogage

- Comptage d'événements
- Evénements de seuil
- Chaînage, déclenchement
- Fonction watchpoint
- Tampon de trace

Entrées/sorties

Les contrôleurs Ethernet

- Reconnaissance d'adresses, filtrage par motif
- Gestion des descripteurs de tampons
- Interfaces physiques : RGMII, SGMII
- Gestion des descripteurs de tampons
- Accélération de couche 2
- Table de hachage à 256 entrées
- Mise en file directe de quatre flux
- Gestion des VLAN
- Qualité de service
- Programmation du filer
- Horodatage conforme IEEE1588

Interface TDM

- Interface matérielle
- Options de programmation pour la synchronisation de trame et la génération d'horloge
- Mode de fonctionnement réseau avec jusqu'à 128 time-slots
- Configuration du DMA
- Fonction de mise en veille du TDM
- Configuration du TDM pour un fonctionnement I2S

Contrôleur hote enhanced secure device

- Stockage et exécution des commandes destinées à la carte externe
- Transferts multi-blocs
- Déplacement des données à l'aide du contrôleur DMA dédié
- Découpage des transferts de données volumineux

- Détection d'insertion et de retrait de carte

Contrôleur USB

- Fonctionnement dual-role (DR)
- Mise en œuvre EHCI
- Interfaces ULPI vers le transceiver
- Canaux DMA dédiés
- Configuration des endpoints

Security engine

- Introduction aux algorithmes DES et 3DES
- Descripteurs de paquets de données
- Canaux crypto
- Tables de liens
- Accélération XOR

Modules flexcan

- Tampons de messages, registres de masque
- Horodatage basé sur un timer 16 bits à défilement libre
- Faible temps de latence grâce à un schéma d'arbitrage pour les messages de haute priorité

Périphériques bas debit

- Description du DUART compatible NS16552
- Contrôleurs I2C
- Enhanced SPI