FCQ10 - Mise en œuvre du QorIQ T1040

Ce cours couvre les QorIQ NXP T1020, T1022, T1040, T1042

Objectifs

- Ce cours poursuit les objectifs suivants :
  - Décrire la mise en œuvre matérielle, en particulier la séquence de boot et le contrôleur DDR3
  - Comprendre les fonctionnalités de l'interconnexion interne et des unités et mécanismes associés tels que PAMU, CPC et le stashing
  - Expliquer les contrôleurs d'interfaces de bus standard, PCIe, USB, SATA et MMC-SD
  - Décrire les unités interconnectées aux autres modules, telles que l'horloge, le contrôleur d'interruptions et le contrôleur DMA, car le programme de boot doit généralement modifier le paramétrage de ces unités
  - Clarifier le fonctionnement de la Datapath Acceleration Architecture qui assiste le cœur du processeur en prenant en charge l'allocation des buffers, la gestion des files, la gestion des trames et en particulier la classification des trames entrantes, la recherche de motifs et le chiffrement
  - Décrire les différentes unités de débogage et leur utilisation pour corriger les erreurs dans un SoC multicœur / multimaître.

Prérequis et cours associés

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- Notez que le cœur Power e5500 est traité dans un cours distinct de référence cours FCC2 - Mise en œuvre du e5500.
- Les cours suivants peuvent également être utiles :
  - PCIe cours IC4 - PCI Express 3.0
  - Ethernet cours N1 - Ethernet et commutation
  - USB 2.0 cours IP2 - USB 2.0
  - SATA cours IS3 - Serial ATA III
  - DDR4 cours SDR1 - DDR4 / LPDDR4

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture des T104X, T102X

Présentation

- Fabric de cohérence CoreNet
- Sous-domaines de cohérence
- Cartographie mémoire, local access windows
- Mise en évidence des chemins de données à l'intérieur des T104X, T102X
- Exemples d'applications

Plateforme SOC

Alimentation, reset et horloges

- Causes de reset
- Source des reset configuration words
- Pre-boot loader
- Configuration PCIe
- Horloges, domaines d'horloge système
- Configuration des lanes haut débit SerDes
- Gestion avancée de l'énergie

Secure boot

- Boot ROM interne, séquence de secure boot
- Processeur de fusibles de sécurité
- Signature du code
- Détection d'intrusion externe
- Vérificateur d'intégrité à l'exécution
- Contrôleur de débogage sécurisé

CoreNet platform cache

- Fonctionnement du cache, en write-through ou en write-back
- Fonctionnement en SRAM mappée en mémoire
- Partitionnement entre domaines de cohérence
- Stashing, basé sur l'adresse ou signalé par CoreNet
- Détection et correction des erreurs douces

Peripheral access management unit (PAMU)

- Contrôle des permissions d'accès des maîtres via le Logical I/O Device Number
- Traduction d'adresses
- Structures de données, Peripheral Access Authorization and Control Entry
- Traduction du mode de fonctionnement
- Étapes du traitement des opérations DSA par la PAMU
- État gate closed de la PAMU

IO bridge

- Agent de pont
- Ordonnancement des transactions

- Résolution des effets de cohérence
- Autorisation, contrôle d'accès et cartographie d'adresses des transactions initiées par les entrées/sorties entrant dans le domaine de cohérence CoreNet

Multiprocessor peripheral interrupt controller

- Compatibilité avec l'architecture Open PIC
- Imbrication des interruptions
- Interruptions par message
- Capacité d'interruption d'un e5500 vers un e5500

Périphériques bas débit

- Description des UART compatibles NS16452/16552
- Fondamentaux du protocole I2C : adressage, fonctionnement multimaître
- Chronogrammes de transfert, broches SCL et SDA
- Contrôleur eSPI

Enhanced SDHC

- Interface avec les cartes SD et MMC
- Protocole de transfert, lecture et écriture en bloc simple et en blocs multiples
- Capacités DMA internes et externes
- Unité de protocole SD

Contrôleurs USB

- Support host ou device
- Fonctionnement high-speed
- Support EHCI, ordonnancement des différentes transactions dans les trames
- Configuration des endpoints
- Fonctionnement en device

Mise en œuvre matérielle

Le contrôleur mémoire DDR3 / 4

- Terminaison et calibration On-Die
- Architecture fly-by du DDR3, write leveling
- Séquence de reset, ODT dynamique, calibration ZQ
- Chronogrammes d'activation de banc, de lecture, d'écriture et de précharge, mode page
- Configuration initiale après le Power-on-Reset
- Unité de décodage d'adresses
- Programmation des paramètres de timing
- • Routine d'initialisation
- • Test de la mémoire à l'aide de motifs

Contrôleur de flash intégré

- Multiplexage fonctionnel des broches entre NAND, NOR et GPCM
- FSM GPCM normale
- Contrôle souple des timings
- FSM NOR flash
- Support d'une parité paire/impaire configurable sur le bus adresses/données
- FSM NAND flash
- Interface asynchrone ONFI-2.0
- Génération et vérification de l'ECC

- Support des composants Flash SLC et MLC avec des tailles de page configurables

Contrôleurs DMA intégrés

- Scatter / gathering
- Cohérence matérielle sélectionnable
- Possibilité de démarrer un DMA depuis une interface externe 3 broches

Interface PCI express

- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrants et sortants
- Intérêt des MSI
- Gestion de la basse consommation
- Configuration, initialisation

Contrôleur SATA

- Support des extensions SATA II
- Native command queuing, descripteur de commande
- Émulation ATA standard maître uniquement
- Regroupement des interruptions

Display interface unit

- Modes de fonctionnement
- Descripteur de zone
- Structure des pixels
- Alpha-blending
- Chroma keying
- Correction gamma
- Canaux DMA internes

Sous-système de traitement datapath

Présentation de la DPAA

- Formats de données
- Formats de trame
- Cheminement d'un paquet
- Configuration et initialisation de la DPAA

Queue manager

- Objectifs de cet accélérateur
- Structure des frame queues
- Frame queues actives et suspendues
- Frame queue descriptor, cache des frame queue descriptors
- Machine à états des frame queues
- Work queues et canaux
- Portails d'enqueue et de dequeue
- Utilisation des anneaux
- Fonctionnement du dispatcher de dequeue
- Message ring
- Évitement de congestion, Weighted Random Early Discard
- Mise en œuvre des order definition points

Buffer manager

- Objectifs de cet accélérateur
- Fonction de gestion centralisée du pool de ressources
- Réserve par pool
- Portails logiciels CoreNET
- Portails à connexion directe
- Buffer Pool State Change Notifications

Frame manager

- Objectifs de cet accélérateur
- Sous-modules du FMAN
- Fonctionnalités du BMI en réception
- Fonctionnalités du BMI en émission
- Analyse hors ligne, fonctionnalités des commandes hôte
- Frame processing manager
- Contrôleur FMan
- Parser
- Key generator
- Policer

Contrôleurs Ethernet trois débits du data path

- Format de trame avec et sans option VLAN
- Connexion à l'interface packet FIFO
- Interfaces physiques
- Table de hachage de 256 entrées pour l'unicast et le multicast
- Accès aux registres du PHY
- Compteurs statistiques RMON, registres de retenue
- Timers IEEE1588 client

MAC 10 gigabits

- Interface XAUI vers le PHY
- Filtrage des adresses multicast
- Calcul dynamique de l'inter packet gap (IPG)
- Insertion de l'adresse MAC
- Support des VLAN
- Horodatage IEEE 1588

Security engine

- Introduction aux algorithmes DES, 3DES et AES
- Gestion des jobs via l'interface QMan
- Anneaux d'entrée / sortie
- Opérations cryptographiques
- Déplacement des données, FIFO
- DMA scatter / gather
- Sélection de l'algorithme d'authentification / de chiffrement
- Vérification d'intégrité à l'exécution
- Exemple, mise en œuvre d'IPSec

Fonctions globales, développement et débogage

Moniteur de performances et fonctions de débogage

- Introduction à la spécification NEXUS
- Lien NEXUS Aurora
- Unité de traitement des événements
- Fonction de watchpoint
- Buffer de trace
- Combinaison d'événements pour la création de déclencheurs avancés
- Composants de débogage transverses
- Débogage de l'interface SDRAM DDR, mesure de la bande passante par maître

Commutateur Ethernet 8 ports

Présentation

- Intégration dans le T1040/T1020
- Schéma fonctionnel

Couche MAC

- Auto-négociation
- Contrôle de flux, contrôle de flux par priorité (IEEE 802.1Qbb)
- Energy Efficient Ethernet
- Trunking de ports (agrégation de liens)

Traitement en entrée

- Classification des trames (QoS, VLAN), traduction / remarquage
- Classification de base + classification avancée via le TCAM IS1
- Application de la sécurité, association MAC/IP via le TCAM IS2
- Politiques de répartition dynamique de charge, conformité au Metro Ethernet Forum
- Commutation de niveau 2
- Policers globaux anti-tempête pour tout le trafic entrant

Système de files partagées

- Fonctionnement en cut-through
- Gestion des buffers
- Gestion des références de trames
- Programmation des watermarks et surveillance de la consommation
- Shapers et schedulers pour le trafic sortant
- Algorithme Deficit Weighted Round Robin

Traitement en sortie

- Rewriter, traduction de VLAN, push/ pop des tags, remappage DSCP, via le TCAM ES0
- Clé ES0
- Départs Green/Yellow
- Statistiques

Commutation de trames de niveau 2

- Mise en œuvre d'IEEE802.1P et IEEE802.1Q
- Vieillissement des trames

- Apprentissage par l'adresse MAC source
- Gestion du multicast, snooping IGMP/MLD
- Ajout d'entrées par logiciel dans la table de commutation
- Support de STP, RSTP, MSTP

QUICC engine

Présentation de la QUICC engine

- Processeur RISC intégré
- Communication entre le processeur hôte et le processeur RISC QE

Contrôleur d'interruptions intégré

- Gestion des priorités
- Aiguillage de la source d'interruption vers l'entrée Low priority ou High priority du PIC de la plateforme

Interface système et connexion aux ports de communication externes

- DMA série
- Requêtes externes de la QUICC engine
- NMSI et TDM
- Activation des connexions au TSA ou au NMSI

Gestion des buffers

- Utilisation des Buffer Descriptors
- Chaînage des descripteurs en anneaux
- RAM de paramètres indépendante du protocole

Contrôleurs de communication unifiés

- UCC en contrôleurs de communication lents, mode UART
- UCC pour les protocoles rapides, FIFO virtuelles

Contrôleur UCC hdlc

- Contrôle de flux
- Réglage des paramètres globaux
- Description de la RAM de paramètres

Contrôleur UCC transparent

- Encapsulation de données transparente, synchronisation de trame et CRC de trame
- Description de la RAM de paramètres

Interface série

- Connexion des lignes TDM
- Paramétrage des timings liés aux signaux d'horloge, de synchronisation et de données Rx/Tx
- Connexion de la ligne TDM à l'UCC à l'aide des tables de routage Rx/Tx

Contrôleur multi-canaux sur UCC - umcc

- Comparaison avec le MCC et le QMC
- Connexion des time-slots aux canaux logiques via les tables de routage Rx/Tx
- Mise en œuvre des buffers de canaux Rx/Tx
- Gestion des interruptions

- Paramètres HDLC spécifiques au canal
- Gestion des exceptions par canal
- Commandes hôte UMCC