FCQ11 - Mise en œuvre des QorIQ P102X

Ce cours couvre les QorIQ NXP P1020/P1011, P1021/P1012, P1022/P1013, P1023/P1017, P1024/P1015, P1025/P1016

Objectifs

- Ce cours clarifie l'architecture du P102X, en particulier le fonctionnement du module de cohérence qui interconnecte les e500 à la mémoire et aux interfaces haut débit.
- Le protocole de cohérence de cache est présenté de manière progressive.
- Le cœur e500 est étudié en détail, notamment l'unité SPE qui permet le traitement vectoriel.
- La séquence de boot et la génération d'horloges sont expliquées.
- Le cours met l'accent sur la mise en œuvre matérielle du P102X.
- Une longue introduction au fonctionnement de la DDR SDRAM est faite avant l'étude du contrôleur DDR2/3 SDRAM.
- Une description approfondie du port PCI-Express est réalisée.
- Le cours met en évidence la mise en œuvre matérielle et logicielle des contrôleurs Ethernet gigabit / fast.
- Les interfaces de communication sont expliquées selon la référence exacte du SoC : TDM, QuiccEngine ou DPAA.

- AC6 a développé une FFT optimisée s'appuyant sur SPE et codée en langage assembleur.
- Les performances pour 1024 échantillons complexes en virgule flottante simple précision sont :
  - - 91_386 cycles d'horloge cœur sans inversion d'ordre, 94_124 avec inversion d'ordre
- Les performances pour 4096 échantillons complexes en virgule flottante simple précision sont :
  - - 470_778 cycles d'horloge cœur sans inversion d'ordre, 511_227 avec inversion d'ordre
- Pour toute information, contactez training@ac6-training.com

Prérequis et cours associés

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- Les cours suivants peuvent être intéressants :
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - PCI express gen2, référence cours IC4 - PCI Express 3.0
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - SD / MMC, référence cours IS2 - eMMC 5.0

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Introduction au P102X

Architecture du SOC

- Flux de données internes, matrice de commutation OCEAN, réordonnancement des paquets
- Exemples de mise en œuvre
- Plan mémoire, ATMU, configuration OCEAN
- Espaces d'adressage locaux et externes, décodage d'adresses entrant et sortant

CŒURS e500

Le pipeline d'instructions

- Fonctionnement superscalaire à double émission
- Unités d'exécution
- Prédiction dynamique de branchement

Chemins de données et d'instructions

- Le Core Complex Bus
- Fusion des store miss et regroupement des stores
- Ordonnancement des accès mémoire
- Acquisition de verrous et barrières d'import

L'unité de gestion mémoire

- La MMU de premier niveau et la MMU de second niveau, cohérence entre les TLB L1 et L2
- Rechargement logiciel des TLB
- Protection des processus
- Adressage réel sur 36 bits

Caches

- Les caches L1
- Cohérence de cache logicielle
- Cache de niveau 2
- Allocation dans le cache des données transférées par des maîtres externes : stashing
- Module de cohérence e500
- Mécanisme de snooping
- Mécanisme de stashing
- Verrouillage du cache L2

Programmation

- Différences entre la nouvelle architecture Book E et l'architecture PowerPC classique
- Unités de calcul en virgule flottante, FP double précision
- Signal Processing APU (SPE)

Exceptions

- Gestion des exceptions Book E
- Registres de syndrome

- Timers du cœur

Débogage

- Surveillance des performances
- Emulation JTAG
- Logique de watchpoint

Infrastructure

Reset, horloges et initialisation

- Horloge de la plateforme
- Choix de la configuration des tensions
- Séquence de power-on reset, utilisation de l'interface I2C pour accéder à la ROM série
- Gestion de l'énergie
- Boot eSDHC
- ROM de boot eSPI

MODULE DE COHERENCE e500

- Arbitre d'entrées/sorties
- Arbitre du CCB
- Interface CCB

Contrôleur mémoire DDR3 sdram

- Terminaison On-Die
- Mécanisme de calibration
- Initialisation des registres de mode, sélection de banque et precharge
- Table de vérité des commandes
- Interface matérielle
- Chronogrammes d'activation de banque, de lecture, d'écriture et de precharge, mode page
- Correction d'erreurs ECC
- Routine d'initialisation

Contrôleur de bus local amélioré

- Bus d'adresses et de données multiplexés ou non multiplexés
- Dimensionnement dynamique du bus
- Machines à états GPCM et UPM
- Contrôleur de flash NAND

Interface PCI express

- Interface PCI Express à 4 lanes
- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrantes et sortantes

Contrôleur d'interruptions programmable

- Le PIC dans une mise en œuvre multiprocesseur
- Comprendre le masquage des interruptions
- Interruptions interprocesseurs
- Utilisation des registres par CPU, registres de message
- Mise en œuvre de l'imbrication

Contrôleur DMA intégré

- Support du chaînage en cascade de descripteurs
- Scatter / gathering
- Cohérence matérielle sélectionnable

Performance monitor et fonctions de débogage

- Evénements de seuil
- Chaînage, déclenchement
- Fonction watchpoint
- Tampon de trace

Entrées/sorties

Les contrôleurs Ethernet

- Reconnaissance d'adresses, filtrage par motif
- Gestion des descripteurs de tampons
- Interfaces physiques
- Gestion des descripteurs de tampons
- Table de hachage à 256 entrées pour l'unicast et le multicast
- Gestion des tags et priorités VLAN, insertion et suppression de VLAN
- Qualité de service, gestion de plusieurs files d'émission et de réception
- Moteur de déchargement TCP/IP, programmation du filer
- Horodatage conforme IEEE1588

Contrôleur hote enhanced secure device

- Stockage et exécution des commandes destinées à la carte externe
- Transferts multi-blocs
- Déplacement des données à l'aide du contrôleur DMA dédié
- Découpage des transferts de données volumineux

Contrôleur USB

- Mise en œuvre EHCI
- Periodic Frame List
- Interfaces ULPI vers le transceiver
- Support OTG
- Configuration des endpoints

Security engine

- Canaux crypto
- Séquence de sous-traitance d'un job crypto au SEC
- Tables de liens
- Gestion des interruptions

Périphériques bas debit

- Description des Uarts compatibles NS16552
- Contrôleur I2C
- Contrôleur Enhanced SPI

Interface TDM (P1022/P1013 et P1024/P1015)

- Interface série
- Mode de fonctionnement réseau avec jusqu'à 128 time-slots
- Configuration du DMA
- Interruption de fin de trame
- Configuration du TDM pour un fonctionnement I2S

Unité d'interface d'affichage (P1022/P1013)

- Interfaces d'affichage
- Profondeur de couleur de l'affichage
- Structure des pixels, alpha-blending
- Utilisation du descripteur de zone
- Déplacement des images via le canal DMA dédié

QUICC engine (P1021/P1012 et P1025/P1016)

Présentation du QUICC engine

- CPU RISC intégré
- Communication entre le CPU hôte et le CPU RISC du QE

Contrôleur d'interruptions intégré

- Gestion des priorités
- Aiguillage de la source d'interruption vers l'entrée basse priorité ou haute priorité du PIC de la plateforme

Interface systeme et connexion aux ports de communication externes

- DMA série
- Requêtes externes du QUICC engine
- NMSI et TDM
- Activation des connexions vers TSA ou NMSI

Gestion des tampons

- Utilisation des Buffer Descriptors
- Chaînage des descripteurs en rings
- RAM de paramètres indépendante du protocole

Contrôleurs de communication unifies

- L'UCC en contrôleur de communication lent, mode UART
- L'UCC pour les protocoles rapides, FIFO virtuelles

Contrôleur hdlc sur UCC

- Contrôle de flux
- Réglage des paramètres globaux
- Description de la RAM de paramètres

Contrôleur transparent sur UCC

- Encapsulation transparente des données, synchronisation de trame et CRC de trame
- Description de la RAM de paramètres

Interface serie

- Connexion des lignes TDM
- Paramétrage des temporisations liées aux signaux d'horloge, de synchronisation et de données Rx/Tx
- Connexion de la ligne TDM à l'UCC via les tables de routage Rx/Tx

Contrôleur multi-canaux sur UCC - umcc

- Comparaison avec le MCC et le QMC
- Connexion des time-slots aux canaux logiques via les tables de routage Rx/Tx
- Mise en œuvre des tampons de canal Rx/Tx
- Gestion des interruptions
- Paramètres HDLC spécifiques à un canal
- Gestion des exceptions par canal
- Commandes host de l'UMCC

Sous-système de traitement datapath (P1023/P1017)

Présentation de la DPAA

- Définitions : buffer, buffer pool, frame, frame queue, work queue, channel
- Formats de données
- Formats de trame
- Cheminement d'un paquet

Queue manager

- Objectifs de cet accélérateur
- Description des trames
- Structure des frame queues
- Machine à états d'une frame queue
- Arbitre de ressources multivoies
- Work queues et channels
- Portails d'enqueue et de dequeue
- Règles d'ordonnancement de classe et intra-classe
- Fonctionnement du dispatcher de dequeue
- Message ring
- Contrôle de flux et ordonnancement des transactions de stash
- Prévention de la congestion
- Ordonnancement et priorité des initiateurs CoreNet

Buffer manager

- Objectifs de cet accélérateur
- Portails logiciels
- Portails direct connect
- Interface logicielle, registre de commande, registres Management Response
- Buffer Pool State Change Notifications
- Programmation de la taille des buffer pools
- Performance Monitor

Frame manager

- Objectifs de cet accélérateur : analyser, classifier et distribuer les paquets in-line/off-line
- Sous-modules du FMAN
- Fonctions du BMI en réception

- Fonctions du BMI en émission
- Analyse off-line, fonctions de commande host
- Frame processing manager
- Contrôleur FMan
- Parser
- Key generator
- Policer

Contrôleurs Ethernet trois debits du data path

- Reconnaissance d'adresse MAC
- Table de hachage à 256 entrées pour l'unicast et le multicast
- Suspension de l'émetteur, traitement des paquets pause
- Compteurs de statistiques RMON, registres de retenue
- Timers client IEEE1588

Security engine

- Gestion des jobs via l'interface QMan
- Rings d'entrée / sortie
- Analyse des job descriptors
- Partage des descripteurs
- Choix de l'algorithme d'authentification / cryptographique
- Public Key Hardware Accelerator (PKHA)
- SNOW 3G Accelerator
- Exemple : mise en œuvre d'IPSec