# FCQ2 - Mise en œuvre des QorIQ P2020

*Ce cours couvre les QorIQ NXP P2010 et P2020*

## Objectifs

- Ce cours clarifie l'architecture du P20X0, en particulier le fonctionnement du module de cohérence qui interconnecte les e500 à la mémoire et aux interfaces haut débit.
- Le protocole de cohérence de cache est présenté de manière progressive.
- Le cœur e500 est étudié en détail, notamment l'unité SPE qui permet le traitement vectoriel.
- La séquence de boot et la génération d'horloges sont expliquées.
- Le cours met l'accent sur la mise en œuvre matérielle du P20X0.
- Une longue introduction au fonctionnement de la DDR SDRAM est faite avant l'étude du contrôleur DDR2/3 SDRAM.
- Une description approfondie du port RapidIO et du port PCI-Express est réalisée.
- Le cours explique comment mettre en œuvre la QoS sur les contrôleurs GigaEthernet.

- ACSYS a développé une FFT optimisée s'appuyant sur SPE et codée en langage assembleur.
- Les performances pour 1024 échantillons complexes en virgule flottante simple précision sont :
  - - 91_386 cycles d'horloge cœur sans inversion d'ordre, 94_124 avec inversion d'ordre
- Les performances pour 4096 échantillons complexes en virgule flottante simple précision sont :
  - - 470_778 cycles d'horloge cœur sans inversion d'ordre, 511_227 avec inversion d'ordre
- Pour toute information, contactez training@ac6-training.com

## Prérequis

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- Une connaissance de RapidIO et de PCI Express est recommandée.

## Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

## Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

# Plan du cours

## Introduction au P20X0

### Description générale

- Flux de données internes, matrice de commutation OCEAN, réordonnancement des paquets
- Exemples de mise en œuvre
- Plan mémoire, ATMU, configuration OCEAN
- Espaces d'adressage locaux et externes, décodage d'adresses entrant et sortant
- Accès aux registres mappés en mémoire depuis un maître externe

# LES CŒURS e500

## Le pipeline d'instructions

- Contrôle superscalaire à double émission, exécution dans le désordre
- Unités d'exécution : 2 Integer Units simples + 1 Complex Integer Unit
- Prédiction dynamique de branchement à l'aide d'un Branch Target Buffer associatif 4 voies à 128 ensembles
- Temps d'exécution, fonctionnement des registres de renommage, sérialisation des instructions

## Chemins de données et d'instructions

- Le Core Complex Bus : bus local interne haut débit avec marquage des données
- La LMQ, la store queue, la castout queue
- Fusion des store miss et regroupement des stores
- Ordonnancement des accès mémoire
- Acquisition de verrous et barrières d'import

## Les unités de gestion mémoire

- La MMU de premier niveau et la MMU de second niveau, cohérence entre les TLB L1 et L2
- Snooping des TLB
- Rechargement logiciel des TLB, attributs de page WIMGE
- Protection des processus, nombre variable de registres PID et partage
- Mise en œuvre de la MMU dans les applications sensibles au temps réel

## Caches

- Les caches L1, algorithme de remplacement PLRU, associativité 8 voies, APU de blocage et de déverrouillage de cache
- Cache de niveau 2, partitionnement en cache L2 et SRAM
- Allocation dans le cache des données transférées par des maîtres externes : stashing
- Mécanisme de snooping, mécanisme de stashing
- Verrouillage du cache L2

## Programmation

- Différences entre la nouvelle architecture Book E et l'architecture PowerPC classique
- Unités de calcul en virgule flottante, FP double précision
- Signal Processing APU (SPU) : mise en œuvre de la capacité SIMD sans unité séparée
- EABI PowerPC : sections, interface C vers assembleur

## Exceptions

- Gestion des exceptions Book E
- Critiques et non critiques
- Table de handlers
- Imbrication des exceptions, récupérabilité après interruption
- Timers du cœur : Decrementer, Time Base, Fixed Interval Timer et Software Watchdog

## Débogage

- Surveillance des performances, comptage d'événements
- Emulation JTAG, trace temps réel lorsque le cœur e500 exécute des instructions en cache
- Logique de watchpoint, capacités de déclenchement basées sur des événements programmables par l'utilisateur

# Infrastructure

## Reset, horloges et initialisation

- Horloge de la plateforme
- Choix de la configuration des tensions
- Séquence de power-on reset, utilisation de l'interface I2C pour accéder à la ROM série
- Traduction de la page de boot
- Boot eSDHC
- ROM de boot eSPI

## MODULE DE COHERENCE e500

- Arbitre d'entrées/sorties
- Arbitre du CCB
- File de transactions
- Interface CCB

## Contrôleur mémoire DDR2/DDR3 sdram

- Spécification Jedec DDR2 et DDR3
- Terminaison On-Die
- Initialisation des registres de mode, sélection de banque et precharge
- Table de vérité des commandes
- Chronogrammes d'activation de banque, de lecture, d'écriture et de precharge, mode page
- Introduction au contrôleur DDR-SDRAM
- Configuration initiale après le Power-on-Reset
- Programmation des paramètres temporels
- Routine d'initialisation

## Contrôleur de bus local amélioré

- Bus d'adresses et de données multiplexés ou non multiplexés
- Dimensionnement dynamique du bus
- Machines à états GPCM et UPM
- Flask Control Machine
- Contrôleur de flash NAND

## INTERFACE SERIAL RapidIO

- Message Unit, fonctionnement en mode direct et en mode chaîné
- Unités doorbell et port-write de RapidIO
- Accès aux registres de configuration via des paquets RapidIO
- Programmation des ATMU entrantes et sortantes
- Gestion des erreurs

## Interface PCI express

- Interface PCI Express à 8 lanes
- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrantes et sortantes
- Configuration, initialisation

## Contrôleur d'interruptions programmable

- Le PIC dans une mise en œuvre multiprocesseur
- Sources d'interruption : interruptions externes, interruptions internes, interruptions par message
- Timers intégrés
- Interruptions interprocesseurs
- Utilisation des registres par CPU, registres de message
- Mise en œuvre de l'imbrication

### Contrôleur DMA intégré

- Priorité entre les 4 canaux
- Support du chaînage en cascade de descripteurs
- Scatter / gathering
- Cohérence matérielle sélectionnable

### Performance monitor et fonctions de débogage

- Comptage d'événements
- Evénements de seuil
- Chaînage, déclenchement
- Fonction watchpoint
- Tampon de trace

## Entrées/sorties

### Les contrôleurs Ethernet

- Reconnaissance d'adresses, filtrage par motif
- Gestion des descripteurs de tampons
- Interfaces physiques : GMII, MII, TBI, RGMII, SGMII
- Gestion des descripteurs de tampons
- Accélération de couche 2, acceptation ou rejet sur correspondance d'adresse ou de motif
- Table de hachage à 256 entrées pour l'unicast et le multicast
- Gestion des tags et priorités VLAN, insertion et suppression de VLAN
- Qualité de service, gestion de plusieurs files d'émission et de réception
- Moteur de déchargement TCP/IP, programmation du filer
- Horodatage conforme IEEE1588

### Contrôleur hote enhanced secure device

- Stockage et exécution des commandes destinées à la carte externe
- Transferts multi-blocs
- Déplacement des données à l'aide du contrôleur DMA dédié
- Découpage des transferts de données volumineux
- Détection d'insertion et de retrait de carte

### Contrôleur USB

- Fonctionnement dual-role (DR)
- Mise en œuvre EHCI
- Interfaces ULPI vers le transceiver
- Support OTG
- Canaux DMA dédiés
- Configuration des endpoints

### Security engine

- Présentation du mécanisme de chiffrement

- Introduction aux algorithmes DES et 3DES
- Descripteurs de paquets de données
- Canaux crypto
- Accélération XOR

## Périphériques bas debit

- Description des Uarts compatibles NS16552
- Contrôleur I2C
- Enhanced SPI, séquences d'émission et de réception