FCQ6 - Mise en œuvre des QorIQ P5020

Ce cours couvre les QorIQ NXP P5010 et P5020

Objectifs

- Ce cours poursuit 6 objectifs principaux :
  - Décrire la mise en œuvre matérielle, en particulier la séquence de boot et le contrôleur DDR3
  - Comprendre les caractéristiques de l'interconnexion interne et des unités et mécanismes associés tels que PAMU, CPC et stashing
  - Décrire les unités interconnectées aux autres modules, comme la génération d'horloges, le contrôleur d'interruptions et le contrôleur DMA, car le programme de boot doit généralement modifier le paramétrage de ces unités
  - Expliquer les contrôleurs d'interfaces de bus standard : PCIe, SRIO, USB et MMC-SD
  - Clarifier le fonctionnement de la Datapath Acceleration Architecture qui assiste le cœur du processeur en prenant en charge l'allocation de tampons, la gestion des files, la gestion des trames et en particulier la classification des trames entrantes, la recherche de motifs et le chiffrement
  - Décrire les différentes unités de débogage et leur utilisation pour corriger les erreurs dans un SoC multicœur / multimaître.

- Produits et services proposés par ACSYS :
  - ACSYS peut assister le client en fournissant des prestations de conseil
  - Les expertises types sont réalisées lors du bringup de carte, de la revue de schémas matériels, du débogage logiciel, de l'optimisation des performances.
  - A noter qu'ACSYS a réalisé plusieurs prestations de conseil sur les SoC NXP Netcomm pour des sociétés développant des équipements avioniques.

Prérequis

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- A noter que le cœur Power e5500 est traité dans un cours séparé, référence cours FCC2 - Mise en œuvre du e5500.

Cours associés

- Ethernet et commutation, référence cours N1 - Ethernet et commutation
- IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
- 10 Gigabit Ethernet, référence cours N3 - Ethernet 10 Gigabit
- PCI express gen2, référence cours IC4 - PCI Express 3.0
- RapidIO 2.1, référence cours IC5 - RapidIO 3.0
- USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
- SD / MMC, référence cours IS2 - eMMC 5.0
- Serial-ATA, référence cours IS3 - Serial ATA III

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture du P5020

Architecture du SOC

- Schéma bloc
- Architecture interne
- Matrice de cohérence CoreNet
- Sous-domaines de cohérence
- Plan mémoire, fenêtres d'accès local
- Mise en évidence des chemins de données à l'intérieur du P5020, apport d'un système à double contrôleur DDR
- Exemples d'application
- Scénarios de traitement multicœur
- Intégration du cœur e5500

Plateforme SOC

Alimentation, reset et horloges

- Contrôle de la gestion de l'énergie
- Signaux de configuration échantillonnés au reset
- Source des reset configuration words
- Pre-boot loader
- Génération d'horloges, domaines d'horloge du système
- Changement dynamique des horloges de cœur
- Configuration des lanes haut débit SerDes

Secure boot

- Objectifs de l'architecture de confiance
- Séquence de secure boot
- Détection de tamper externe
- Vérificateur d'intégrité à l'exécution

CoreNet platform cache

- Fonctionnement en SRAM mappée en mémoire
- Partitionnement entre domaines de cohérence
- Stashing
- Détection et correction des erreurs fugitives

Peripheral access management unit (PAMU)

- Contrôle des permissions d'accès des maîtres via le Logical I/O Device Number
- Traduction d'adresses
- Organisation des descripteurs
- Traduction du mode de fonctionnement
- Etapes du traitement des opérations DSA par la pamu
- Caches de la PAMU

Contrôleur d'interruptions périphériques multiprocesseur

- Imbrication des interruptions

- Description des 4 timers / compteurs
- Interruptions par message
- Capacité d'interruption d'un e5500 vers un autre e5500

Périphériques bas debit

- UART
- Contrôleur I2C
- Contrôleur eSPI

Enhanced SDHC

- Protocole de transfert, lecture et écriture en bloc unique et en blocs multiples
- Capacités DMA internes et externes
- Unité de protocole SD
- Détection d'insertion et de retrait de carte

Contrôleurs USB

- Support host ou device
- Support EHCI, ordonnancement des différentes transactions dans les trames
- PHY intégré
- Configuration des endpoints
- Registres de contrôle d'optimisation non-EHCI

Mise en œuvre materielle

Le contrôleur mémoire DDR3 / 3L

- Architecture fly-by du DDR3, write leveling
- Calibration ZQ
- Table de vérité des commandes
- Interface matérielle
- Configuration initiale après le Power-on-Reset
- Support de l'entrelacement de contrôleurs
- Unité de décodage d'adresses
- Programmation des paramètres temporels

Contrôleur de bus local amélioré

- Bus d'adresses et de données multiplexés ou non multiplexés
- Connexion de composants 8 et 16 bits
- Support des bursts
- Machines à états GPCM et UPM
- Contrôleur de flash NAND

Contrôleurs DMA intégrés

- Priorité entre les 4 canaux
- Scatter / gathering
- Cohérence matérielle sélectionnable
- Possibilité de démarrer un DMA depuis une interface externe à 3 broches

Interface PCI express

- Fonctionnement en pont lorsqu'il est Root Complex
- Règles d'ordonnancement des transactions

- Programmation des ATMU entrantes et sortantes
- Apports des MSI
- Gestion de la basse consommation
- Configuration, initialisation
- Remontée d'erreurs améliorée

Interface serial RapidIO

- Port RapidIO
- Unités doorbell et port-write de RapidIO
- Programmation des ATMU entrantes et sortantes

Contrôleurs SATA

- Support des extensions SATA II
- Mise en ligne et hors ligne du contrôleur SATA
- Native command queuing, descripteur de commande
- Coalescence des interruptions
- Etapes d'initialisation

Sous-système de traitement datapath

Présentation de la DPAA

- Formats de données
- Formats de trame
- Cheminement d'un paquet
- Configuration et initialisation de la DPAA

Queue manager

- Objectifs de cet accélérateur
- Structure des frame queues
- Frame queues actives et suspendues
- Frame queue descriptor, cache de frame queue descriptor
- Machine à états d'une frame queue
- Work queues et channels
- Portails d'enqueue et de dequeue
- Utilisation des rings
- Fonctionnement du dispatcher de dequeue
- Message ring
- Prévention de la congestion, Weighted Random Early Discard
- Mise en œuvre des order definition points

Buffer manager

- Objectifs de cet accélérateur
- Fonction centrale de gestion du pool de ressources
- Stock par pool
- Portails logiciels CoreNET
- Portails direct connect
- Buffer Pool State Change Notifications

Frame manager

- Objectifs de cet accélérateur
- Sous-modules du FMAN

- Fonctions du BMI en réception
- Fonctions du BMI en émission
- Analyse off-line, fonctions de commande host
- Frame processing manager
- Contrôleur FMan
- Parser
- Key generator
- Policer

Contrôleurs Ethernet trois debits du data path

- Format de trame avec et sans option VLAN
- Connexion à l'interface packet FIFO
- Interfaces physiques
- Table de hachage à 256 entrées pour l'unicast et le multicast
- Accès aux registres du PHY
- Compteurs de statistiques RMON, registres de retenue
- Timers client IEEE1588

MAC 10 gigabits

- Interface XAUI vers le PHY
- Filtrage des adresses multicast
- Calcul dynamique de l'inter packet gap (IPG)
- Insertion de l'adresse MAC
- Support des VLAN
- Horodatage IEEE 1588

RapidIO message manager

- 2 boîtes aux lettres inbox/outbox (files) pour les données et une structure de message doorbell
- Multicast
- Unités de segmentation en sortie

RAID engine

- Déplacement des données, Scatter Gather List
- File de commandes chaînée
- Interface de descripteurs non-DPAA
- Informations de protection des données
- Génération et vérification du guard basé sur le checksum IP

Security engine

- Introduction aux algorithmes DES, 3DES et AES
- Gestion des jobs via l'interface QMan
- Rings d'entrée / sortie
- Opérations cryptographiques
- Déplacement des données, FIFO
- DMA scatter / gather
- Choix de l'algorithme d'authentification / cryptographique
- Run Time Integrity Checking
- Exemple : mise en œuvre d'IPSec

Pattern matcher

- Objectif de cette unité : identifier des signatures dans les flux gigabit entrants
- Connexion au QMan et au BMan

- Capacité à suivre les relations à états entre les motifs trouvés dans les données analysées
- Mise à jour de la base de motifs
- Définition d'une expression régulière
- Comparaison de la chaîne inspectée avec les motifs programmés
- Pipeline de traitement, work units
- Pattern Matcher Frame Agent
- Mise en cache des pattern description blocks
- Key Element Scanner
- Data Examination Engine
- Stateful Rule Engine

Fonctions globales, développement et débogage

Performance monitor et fonctions de débogage

- Introduction à la spécification NEXUS
- Lien NEXUS Aurora
- Unité de traitement d'événements
- Fonction watchpoint
- Tampon de trace
- Combinaison d'événements pour créer des déclencheurs avancés
- Composants de débogage transverses
- Débogage de l'interface DDR SDRAM, mesure de la bande passante par maître