# FCQ7 - Mise en œuvre des QorIQ T4240

*Ce cours couvre les QorIQ NXP T4240 et T4160*

## Objectifs

- Ce cours poursuit 6 objectifs principaux :
  - Décrire la mise en œuvre matérielle, en particulier la séquence de boot et le contrôleur DDR3
  - Comprendre les caractéristiques de l'interconnexion interne et des unités et mécanismes associés tels que PAMU, CPC et stashing
  - Expliquer les contrôleurs d'interfaces de bus standard : PCIe, SRIO, USB, SATA et MMC-SD
  - Décrire les unités interconnectées aux autres modules, comme la génération d'horloges, le contrôleur d'interruptions et le contrôleur DMA, car le programme de boot doit généralement modifier le paramétrage de ces unités
  - Clarifier le fonctionnement de la Datapath Acceleration Architecture qui assiste le cœur du processeur en prenant en charge l'allocation de tampons, la gestion des files, la gestion des trames et en particulier la classification des trames entrantes, la recherche de motifs et le chiffrement
  - Décrire les différentes unités de débogage et leur utilisation pour corriger les erreurs dans un SoC multicœur / multimaître.

- Produits et services proposés par AC6 :
  - AC6 peut assister le client en fournissant des prestations de conseil
  - Les expertises types sont réalisées lors du bringup de carte, de la revue de schémas matériels, du débogage logiciel, de l'optimisation des performances.
  - A noter qu'AC6 a réalisé plusieurs prestations de conseil sur les SoC NXP Netcomm pour des sociétés développant des équipements avioniques.

## Prérequis

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- A noter que le cœur Power e6500 est traité dans un cours séparé, référence cours FCC4 - Mise en œuvre du e6500.

## Cours associés

- Ethernet et commutation, référence cours N1 - Ethernet et commutation
- IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
- 10 Gigabit Ethernet, référence cours N3 - Ethernet 10 Gigabit
- PCI express gen3, référence cours IC4 - PCI Express 3.0
- RapidIO 2.1, référence cours IC5 - RapidIO 3.0
- USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
- SD / MMC, référence cours IS2 - eMMC 5.0
- Serial-ATA, référence cours IS3 - Serial ATA III

## Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

## Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

# Plan du cours

## Architecture du T4240

- Architecture interne
- Sous-domaines de cohérence
- Plan mémoire, fenêtres d'accès local
- Mise en évidence des chemins de données à l'intérieur du T4240
- Intégration du cœur e6500

# Plateforme SOC

## Alimentation, reset et horloges

- Caractéristiques électriques continues et alternatives
- Causes de reset
- Source des reset configuration words
- Pre-boot loader
- Configuration PCIe et SRIO en Host / Agent
- Génération d'horloges, domaines d'horloge du système
- Configuration des lanes haut débit SerDes

## Secure boot

- Objectifs de l'architecture de confiance
- ROM de boot interne, séquence de secure boot
- Signature du code
- Détection de tamper externe
- Vérificateur d'intégrité à l'exécution
- Contrôleur de débogage sécurisé

## CoreNet platform cache

- Fonctionnement du cache, mode write-through ou write-back
- Verrouillage d'entrées
- Fonctionnement en SRAM mappée en mémoire
- Partitionnement entre domaines de cohérence
- Stashing, basé sur l'adresse ou signalé par CoreNet

## Peripheral access management unit (PAMU)

- Contrôle des permissions d'accès des maîtres via le Logical I/O Device Number
- Traduction d'adresses
- Traduction du mode de fonctionnement
- Etapes du traitement des opérations DSA par la PAMU
- Etat gate closed de la PAMU

## Contrôleur d'interruptions périphériques multiprocesseur

- Imbrication des interruptions
- Description des 4 timers / compteurs
- Interruptions par message
- Capacité d'interruption d'un e6500 vers un autre e6500
- Affectation des interruptions

### Périphériques bas debit

- Description des Uarts compatibles NS16450/16550
- Contrôleur I2C
- Contrôleur eSPI

### Enhanced SDHC

- Interface vers les cartes SD et MMC
- Protocole de transfert, lecture et écriture en bloc unique et en blocs multiples
- Capacités DMA internes et externes

### Contrôleurs USB

- Support host ou device
- Fonctionnement en high-speed
- Support EHCI, ordonnancement des différentes transactions dans les trames
- PHY intégré

## Mise en œuvre materielle

### Le contrôleur mémoire DDR3 / 3L

- Bases de la spécification Jedec
- Architecture fly-by du DDR3, write leveling
- Séquence de reset, ODT dynamique, calibration ZQ
- Chronogrammes d'activation de banque, de lecture, d'écriture et de precharge, mode page
- Configuration initiale après le Power-on-Reset
- Programmation des paramètres temporels
- Routine d'initialisation
- Optimisation des performances du contrôleur DDR3
- Test de la mémoire à l'aide de motifs

### Contrôleur flash intégré

- Multiplexage fonctionnel des broches entre NAND, NOR et GPCM
- Contrôle du tampon de données
- FSM GPCM normale
- FSM flash NOR
- FSM flash NAND
- Boot depuis la NAND

### Contrôleurs DMA intégrés

- Priorité entre les 4 canaux
- Support du chaînage en cascade de descripteurs
- Scatter / gathering

### Interface PCI express

- Fonctionnement en pont lorsqu'il est Root Complex
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrantes et sortantes
- Apports des MSI
- Configuration, initialisation
- Mise en œuvre de SR-IOV, Alternative Routing ID

### Interface serial RapidIO

- Port RapidIO
- Mode de fonctionnement accept-all
- Unités doorbell et port-write de RapidIO
- Accès aux registres de configuration via des paquets RapidIO
- Programmation des ATMU entrantes et sortantes

### Interface interlacken

- Connexion puce à puce vers un FPGA, un ASIC ou un TCAM
- Codage et embrouillage des données en 64B/67B
- Utilisation des portails logiciels pour faire dialoguer le logiciel et le matériel
- Garantie de l'alignement des lanes, synchronisation de l'embrouilleur, compensation d'horloge via les metaframes
- Compteurs de statistiques et compteurs d'erreurs intégrés

### Contrôleurs SATA

- Bases du SATA
- Support des extensions SATA II
- Spécification électrique
- Mise en ligne et hors ligne du contrôleur SATA
- Native command queuing, descripteur de commande

## Sous-système de traitement datapath

### Présentation de la DPAA

- Définitions : buffer, buffer pool, frame, frame queue, work queue, channel
- Formats de trame
- Configuration et initialisation de la DPAA

### Queue manager

- Objectifs de cet accélérateur
- Description des trames
- Frame queue descriptor, cache de frame queue descriptor
- Machine à états d'une frame queue
- Work queues et channels
- Portails d'enqueue et de dequeue
- Séquences permettant de comprendre comment les trames sont mises en file et retirées
- Règles d'ordonnancement de classe et intra-classe
- Contrôle de flux et ordonnancement des transactions de stash
- Prévention de la congestion
- Mise en œuvre des order definition points
- Mise en forme du trafic via CEETM

### Buffer manager

- Objectifs de cet accélérateur
- Fonction centrale de gestion du pool de ressources
- LIFO en liste chaînée externe
- Portails direct connect
- Buffer Pool State Change Notifications

## Frame manager

- Objectifs de cet accélérateur : analyser, classifier et distribuer les paquets in-line/off-line
- Fonctions du BMI en réception
- Fonctions du BMI en émission
- Analyse off-line, fonctions de commande host
- Frame processing manager
- Contrôleur FMan
- Commandes host
- Parser
- Key generator
- Policer
- Nouvelles fonctions :
  - Fragmentation / réassemblage IP
  - Manipulation d'en-têtes
  - 802.1qaz autonome
  - Data center bridging
  - Multicast en entrée

## MAC ETHERNET MULTI-DEBIT (mEMAC)

- Interfaces physiques
- Reconnaissance d'adresse MAC
- Accès aux registres du PHY, clause 45
- Priority Flow Control
- Compteurs de statistiques RMON, registres de retenue

## RapidIO message manager

- 2 boîtes aux lettres inbox/outbox (files) pour les données et une structure de message doorbell
- Multicast
- Unités de segmentation en sortie

## Security engine

- Introduction aux algorithmes DES, 3DES et AES
- Gestion des jobs via l'interface QMan
- Analyse des job descriptors
- Partage des descripteurs
- Choix de l'algorithme d'authentification / cryptographique
- Run Time Integrity Checking
- Public Key Hardware Accelerator (PKHA)
- SNOW 3G Accelerator
- Data Encryption Standard Accelerator (DES)
- Cyclic Redundancy Check Accelerator (CRCA)
- Message Digest Hardware Accelerator (MDHA)
- Fonctions cryptographiques à courbes elliptiques

## Pattern matcher

- Objectif de cette unité : identifier des signatures dans les flux gigabit entrants
- Connexion au QMan et au BMan
- Support du wildcarding sans explosion du nombre de motifs
- Mise à jour de la base de motifs
- Définition d'une expression régulière
- Pattern Matcher Frame Agent
- Mise en cache des pattern description blocks

- Key Element Scanner, étage de déclenchement, étage de confiance
- Data Examination Engine
- Stateful Rule Engine, structure physique des Stateful Rule, jeu d'instructions SRE

# Fonctions globales, développement et débogage

## Fonctions de débogage

- Lien NEXUS Aurora
- Unité de traitement d'événements
- Chaînage, déclenchement
- Fonction watchpoint
- Tampon de trace
- Composants de débogage transverses
- Débogage CoreNet
- Débogage OCeaN