FCQ8 - Mise en œuvre des QorIQ T1024

Ce cours couvre les QorIQ NXP T1024 et T1014

Objectifs

- Ce cours poursuit les objectifs suivants :
  - Décrire la mise en œuvre matérielle, en particulier la séquence de boot et le contrôleur DDR3
  - Comprendre les caractéristiques de l'interconnexion interne et des unités et mécanismes associés tels que PAMU, CPC et stashing
  - Expliquer les contrôleurs d'interfaces de bus standard : PCIe, USB, SATA et MMC-SD
  - Décrire les unités interconnectées aux autres modules, comme la génération d'horloges, le contrôleur d'interruptions et le contrôleur DMA, car le programme de boot doit généralement modifier le paramétrage de ces unités
  - Clarifier le fonctionnement de la Datapath Acceleration Architecture qui assiste le cœur du processeur en prenant en charge l'allocation de tampons, la gestion des files, la gestion des trames et en particulier la classification des trames entrantes, la recherche de motifs et le chiffrement
  - Décrire les différentes unités de débogage et leur utilisation pour corriger les erreurs dans un SoC multicœur / multimaître.

Prérequis et cours associés

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- A noter que le cœur Power e5500 est traité dans un cours séparé, référence cours FCC2 - Mise en œuvre du e5500.
- Les cours suivants peuvent également être utiles :
  - PCIe cours IC4 - PCI Express 3.0
  - Ethernet cours N1 - Ethernet et commutation
  - USB 2.0 cours IP2 - USB 2.0
  - SATA cours IS3 - Serial ATA III
  - DDR4 cours SDR1 - DDR4 / LPDDR4

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture du T1024

Présentation

- Matrice de cohérence CoreNet
- Sous-domaines de cohérence
- Plan mémoire, fenêtres d'accès local
- Mise en évidence des chemins de données à l'intérieur du T1024
- Exemples d'application

Plateforme SOC

Alimentation, reset et horloges

- Causes de reset
- Source des reset configuration words
- Pre-boot loader
- Configuration PCIe
- Génération d'horloges, domaines d'horloge du système
- Configuration des lanes haut débit SerDes
- Gestion avancée de l'énergie

Secure boot

- ROM de boot interne, séquence de secure boot
- Security fuse processor
- Signature du code
- Détection de tamper externe
- Vérificateur d'intégrité à l'exécution
- Contrôleur de débogage sécurisé

CoreNet platform cache

- Fonctionnement du cache, mode write-through ou write-back
- Fonctionnement en SRAM mappée en mémoire
- Partitionnement entre domaines de cohérence
- Stashing, basé sur l'adresse ou signalé par CoreNet
- Détection et correction des erreurs fugitives

Peripheral access management unit (PAMU)

- Contrôle des permissions d'accès des maîtres via le Logical I/O Device Number
- Traduction d'adresses
- Structures de données, Peripheral Access Authorization and Control Entry
- Traduction du mode de fonctionnement
- Etapes du traitement des opérations DSA par la PAMU
- Etat gate closed de la PAMU

Pont d'entrées/sorties

- Agent de pontage
- Ordonnancement des transactions

- Résolution des effets de cohérence
- Autorisation, contrôle d'accès et mappage d'adresses des transactions initiées par les entrées/sorties entrant dans le domaine de cohérence CoreNet

Contrôleur d'interruptions périphériques multiprocesseur

- Compatibilité avec l'architecture Open PIC
- Imbrication des interruptions
- Interruptions par message
- Capacité d'interruption d'un e5500 vers un autre e5500

Périphériques bas debit

- Description des Uarts compatibles NS16452/16552
- Principes du protocole I2C : adressage, fonctionnement multimaître
- Chronogrammes de transfert, broches SCL et SDA
- Contrôleur eSPI

Enhanced SDHC

- Interface vers les cartes SD et MMC
- Protocole de transfert, lecture et écriture en bloc unique et en blocs multiples
- Capacités DMA internes et externes
- Unité de protocole SD

Contrôleurs USB

- Support host ou device
- Fonctionnement en high-speed
- Support EHCI, ordonnancement des différentes transactions dans les trames
- Configuration des endpoints
- Fonctionnement en device

Mise en œuvre materielle

Le contrôleur mémoire DDR3 / 4

- Terminaison et calibration On-Die
- Architecture fly-by du DDR3, write leveling
- Séquence de reset, ODT dynamique, calibration ZQ
- Chronogrammes d'activation de banque, de lecture, d'écriture et de precharge, mode page
- Configuration initiale après le Power-on-Reset
- Unité de décodage d'adresses
- Programmation des paramètres temporels
- Routine d'initialisation
- Test de la mémoire à l'aide de motifs

Contrôleur flash intégré

- Multiplexage fonctionnel des broches entre NAND, NOR et GPCM
- FSM GPCM normale
- Contrôle souple des temporisations
- FSM flash NOR
- Parité paire/impaire configurable supportée sur le bus d'adresses et de données
- FSM flash NAND
- Interface asynchrone ONFI-2.0
- Génération et vérification de l'ECC

- Support des composants Flash SLC et MLC avec page configurable

Contrôleurs DMA intégrés

- Scatter / gathering
- Cohérence matérielle sélectionnable
- Possibilité de démarrer un DMA depuis une interface externe à 3 broches

Interface PCI express

- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrantes et sortantes
- Apports des MSI
- Gestion de la basse consommation
- Configuration, initialisation

Contrôleur SATA

- Support des extensions SATA II
- Native command queuing, descripteur de commande
- Emulation ATA standard en maître uniquement
- Coalescence des interruptions

Unité d'interface d'affichage

- Modes de fonctionnement
- Descripteur de zone
- Structure des pixels
- Alpha-blending
- Chroma keying
- Correction gamma
- Canaux DMA internes

Sous-système de traitement datapath

Présentation de la DPAA

- Formats de données
- Formats de trame
- Cheminement d'un paquet
- Configuration et initialisation de la DPAA

Queue manager

- Objectifs de cet accélérateur
- Structure des frame queues
- Frame queues actives et suspendues
- Frame queue descriptor, cache de frame queue descriptor
- Machine à états d'une frame queue
- Work queues et channels
- Portails d'enqueue et de dequeue
- Utilisation des rings
- Fonctionnement du dispatcher de dequeue
- Message ring
- Prévention de la congestion, Weighted Random Early Discard
- Mise en œuvre des order definition points

Buffer manager

- Objectifs de cet accélérateur
- Fonction centrale de gestion du pool de ressources
- Stock par pool
- Portails logiciels CoreNET
- Portails direct connect
- Buffer Pool State Change Notifications

Frame manager

- Objectifs de cet accélérateur
- Sous-modules du FMAN
- Fonctions du BMI en réception
- Fonctions du BMI en émission
- Analyse off-line, fonctions de commande host
- Frame processing manager
- Contrôleur FMan
- Parser
- Key generator
- Policer

Contrôleurs Ethernet trois debits du data path

- Format de trame avec et sans option VLAN
- Connexion à l'interface packet FIFO
- Interfaces physiques
- Table de hachage à 256 entrées pour l'unicast et le multicast
- Accès aux registres du PHY
- Compteurs de statistiques RMON, registres de retenue
- Timers client IEEE1588

MAC 10 gigabits

- Interface XAUI vers le PHY
- Filtrage des adresses multicast
- Calcul dynamique de l'inter packet gap (IPG)
- Insertion de l'adresse MAC
- Support des VLAN
- Horodatage IEEE 1588

Security engine

- Introduction aux algorithmes DES, 3DES et AES
- Gestion des jobs via l'interface QMan
- Rings d'entrée / sortie
- Opérations cryptographiques
- Déplacement des données, FIFO
- DMA scatter / gather
- Choix de l'algorithme d'authentification / cryptographique
- Run Time Integrity Checking
- Exemple : mise en œuvre d'IPSec

Fonctions globales, développement et débogage

Performance monitor et fonctions de débogage

- Introduction à la spécification NEXUS
- Lien NEXUS Aurora
- Unité de traitement d'événements
- Fonction watchpoint
- Tampon de trace
- Combinaison d'événements pour créer des déclencheurs avancés
- Composants de débogage transverses
- Débogage de l'interface DDR SDRAM, mesure de la bande passante par maître

QUICC engine

Présentation du QUICC engine

- CPU RISC intégré
- Communication entre le CPU hôte et le CPU RISC du QE

Contrôleur d'interruptions intégré

- Gestion des priorités
- Aiguillage de la source d'interruption vers l'entrée basse priorité ou haute priorité du PIC de la plateforme

Interface systeme et connexion aux ports de communication externes

- DMA série
- Requêtes externes du QUICC engine
- NMSI et TDM
- Activation des connexions vers TSA ou NMSI

Gestion des tampons

- Utilisation des Buffer Descriptors
- Chaînage des descripteurs en rings
- RAM de paramètres indépendante du protocole

Contrôleurs de communication unifies

- L'UCC en contrôleur de communication lent, mode UART
- L'UCC pour les protocoles rapides, FIFO virtuelles

Contrôleur hdlc sur UCC

- Contrôle de flux
- Réglage des paramètres globaux
- Description de la RAM de paramètres

Contrôleur transparent sur UCC

- Encapsulation transparente des données, synchronisation de trame et CRC de trame
- Description de la RAM de paramètres

Interface serie

- Connexion des lignes TDM
- Paramétrage des temporisations liées aux signaux d'horloge, de synchronisation et de données Rx/Tx
- Connexion de la ligne TDM à l'UCC via les tables de routage Rx/Tx

Contrôleur multi-canaux sur UCC - umcc

- Comparaison avec le MCC et le QMC
- Connexion des time-slots aux canaux logiques via les tables de routage Rx/Tx
- Mise en œuvre des tampons de canal Rx/Tx
- Gestion des interruptions
- Paramètres HDLC spécifiques à un canal
- Gestion des exceptions par canal
- Commandes host de l'UMCC