FK1 - Mise en œuvre des microcontrôleurs Kinetis

Ce cours couvre tous les MCU NXP appartenant aux familles Kinetis K10, K20, K30, K40 et K60

Objectifs

- Ce cours poursuit 5 objectifs principaux :
  - Décrire la mise en œuvre matérielle et mettre en évidence les pièges
  - Décrire l'architecture du cœur ARM Cortex-M4
  - Se familiariser avec l'IDE et la programmation bas niveau
  - Décrire les unités interconnectées aux autres modules, telles que l'horloge, le contrôleur d'interruptions et le contrôleur DMA, car le programme de boot doit généralement modifier le paramétrage de ces unités
  - Décrire les modules d'entrées/sorties indépendants et leurs drivers.
- Notez que ce cours a été conçu à partir de l'architecture du composant Kinetis le plus complexe, le K60.
  - Par conséquent, Acsys a conçu un chapitre pour chaque IP intégrée possible.
  - Le client peut donc composer son propre plan de cours à partir des sujets décrits ci-après.
- Produits et services proposés par ACSYS :
  - ACSYS a développé des FFT (en virgule flottante et en virgule fixe) optimisées pour les cœurs ARM, basées sur les instructions SIMD supportées par le Cortex-M4.
  - Contactez training@ac6-training.compour obtenir des informations sur les performances de ces FFT.
  - ACSYS peut accompagner le client sous forme de prestations de conseil. Les expertises habituelles portent sur le bring-up de carte, la revue de schématique matérielle, le débogage logiciel et l'optimisation des performances.
  - ACSYS dispose également d'une expertise en portage FreeRTOS ou MQX et en intégration des piles uIP / LWIP ou Interniche.

Prérequis et cours associés

- Ce cours propose une présentation générale du cœur Cortex-M4. Notre cours de référence cours RM3 - Mise en œuvre du Cortex-M4 / Cortex-M4F détaille le fonctionnement de ce cœur.
- Les cours suivants peuvent également vous intéresser :
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - Bus CAN, référence cours IA1 - Bus CAN

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture des MCU Kinetis

- Architecture basée sur un cœur ARM
- Description de l'architecture des SoC K10, K20, K30, K40 et K60
- Clarification des chemins internes de données et d'instructions : interconnexion AHB-lite, bus périphériques, ponts AIPD
- IP de réutilisation AMBA-to-IPS : contrôleur ColdFire (AIPS)
- Mémoires intégrées
- Cartographie du SoC

Le cœur ARM Cortex-M4

- Famille de cœurs V7-M
- Architecture du cœur
- Caches d'instructions et de données intégrés Freescale
- Jeu d'instructions Thumb-2
- Comportement des exceptions
- Fonctionnement de base des interruptions, mécanisme d'interruption micro-codé
- Memory Protection Unit

Instructions de traitement du signal V7-M

- Instructions de multiplication
- Instructions de packing / unpacking
- Instructions SIMD d'addition/soustraction packées
- Instructions SIMD d'addition/soustraction combinées
- Instructions SIMD de multiplication et de multiplication-accumulation
- Instructions SIMD de somme des différences absolues
- Instruction SIMD de sélection
- Instructions de saturation
- Unité de calcul en virgule flottante
- Cortex Microcontroller Software Interface Standard (CMIS)

SE familiariser avec l'ide

- Acsys couvre 3 IDE : CodeWarrior, IAR et GCC / Lauterbach
- Le client n'a donc qu'à indiquer celui qu'il a retenu
  - Premiers pas avec l'IDE
  - Paramétrage du compilateur / linker
  - Création d'un projet à partir de zéro
  - Programme de démarrage C

Programmation et débogage

- Interface de débogage
- Programmation

Reset, alimentation et horloges

- Reset
- Horloges
- Modes de fonctionnement

Interconnexion interne

- Crossbar switch
- Hardware Memory Protection Unit
- eDMA

Mise en œuvre matérielle

- Broches d'alimentation
- Brochage
- Module GPIO

Mémoires intégrées

- Flex memory, ce module n'est pas implanté dans tous les composants Kinetis
- SRAM interne

Interface mémoire

- Chaque famille Kinetis supporte soit une partie, soit la totalité des contrôleurs suivants
- FlexBus
- eSDHC
- Contrôleur NAND flash
- Contrôleur DRAM

Timers

- Low Power Oscillator
- COP
- External Watchdog Monitor
- Periodic Interrupt Timer
- Low Power Timer
- Flex Timer
- Carrier Modulator Transmitter

Modules analogiques

- Convertisseur analogique-numérique 16 bits et Programmable Gain Amplifier
- Convertisseur numérique-analogique 12 bits
- Référence de tension VREF
- Comparateur haute vitesse HSCMP
- Programmable Delay Block PDB

Sécurité et intégrité

- Hardware Cyclic Redundancy Check
- Memory-Mapped Cryptographic Acceleration Unit (MMCAU)
- Pseudo Random Number Generator
- Secure Real Time Clock
- DryIce et Tamper Detect
- Cryptographic Acceleration Unit

Connectivité et communication

- DSPI
- UART
- I2C

- Modules CAN
- USB
- Fast ethernet avec IEEE1588
- Interface carte à puce ISO7816
- Interface audio I2S

Interfaces homme-machine

- Contrôleur LCD à segments
- Contrôleur LCD graphique
- Détection tactile capacitive