FK2 - Mise en œuvre du microcontrôleur Kinetis KL26z

Ce cours couvre le microcontrôleur ultra basse consommation NXP Kinetis KL26z

Objectifs

- Ce cours poursuit 4 objectifs principaux :
  - Décrire la mise en œuvre matérielle
  - Décrire l'architecture du cœur ARM Cortex-M0+
  - Décrire l'architecture du microcontrôleur KL26Z128VLH4
  - Se familiariser avec l'IDE (KDS) et la programmation bas niveau
- Produits et services proposés par ACSYS :
  - ACSYS peut accompagner le client sous forme de prestations de conseil.
  - Les expertises habituelles portent sur le bring-up de carte, la revue de schématique, le débogage logiciel et l'optimisation des performances.
  - ACSYS dispose également d'une expertise en portage FreeRTOS ou MQX et en intégration des piles uIP / LWIP ou Interniche.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Architecture des MCU Kinetis

- Architecture basée sur un cœur ARM
- Description de l'architecture du SoC KL26z

Le cœur ARM Cortex-M0+

- Famille de cœurs v6-M
- Architecture du cœur
- Jeu d'instructions Thumb
- Comportement des exceptions
- Fonctionnement de base des interruptions, mécanisme d'interruption micro-codé, NVIC

Programmation et débogage avec KDS et Open SDA

- Interface de débogage (Open SDA)
- Programmation

Prise en main de l'IDE

- Premiers pas avec l'IDE Kinetis Development Studio (KDS)
- Paramétrage du compilateur / linker
- Création d'un projet à partir de zéro
- Code Cstart

Deuxième jour

Reset, alimentation et horloges

- Reset
- Horloges
- Modes de fonctionnement

Modes basse consommation du KL26Z

- Power et clock gating
- Mode LLS (Low Leakage Stop)
- Modes VLLS (Very Low Leakage Stop)
- Low Power Timer
- Low Leakage Wakeup Unit
- Watchdog timer (WDOG)

Interconnexion interne

- Crossbar switch
- Direct Memory Access
  - DMA
  - DMA Multiplexer

Troisième jour

Mise en œuvre matérielle

- Broches d'alimentation
- Brochage
- Module GPIO

Mémoires intégrées

- Flash interne
- SRAM interne

Timers

- Module Timer/PWM (TPM)
- Low power timer (LPTMR)
- Periodic Interrupt Timer
- Real Time Clock

Quatrième jour

Modules analogiques

- Convertisseurs analogique-numérique (ADC)
- Comparateurs analogiques
- Convertisseurs numérique-analogique (DAC) 6 bits
- Convertisseurs numérique-analogique (DAC) 12 bits
- Référence de tension VREF (opt.)

USB

- Contrôleur USB Full-Speed OTG
- Régulateur de tension USB (opt.)

Connectivité et communication

- SPI
  - Présentation et description fonctionnelle
  - Mode run
  - Basse consommation
- Mode wait
- Mode stop
- UART
  - Description fonctionnelle
  - Définition des registres
- I2C
  - Présentation
  - Description de l'I2C
  - Memory map – définition des registres

Interfaces homme-machine

- General purpose input/output (GPIO)
  - Description fonctionnelle
  - Définition des registres