FQ1 - Mise en œuvre du QorIQ LS1021A

Ce cours couvre le SoC LayerScape LS1021A

OBJECTIFS

- Le cours clarifie l'architecture du LS1021A, en particulier le réglage de l'interconnexion.
- Le protocole de cohérence des caches est présenté avec un niveau de détail croissant.
- Seule une présentation générale de l'ARM Cortex-A7 est fournie, car ce processeur est entièrement couvert par un cours distinct.
- La séquence de boot et les horloges sont expliquées.
- Le cours met l'accent sur la mise en œuvre matérielle du LS1021A.
- Une longue introduction au fonctionnement de la SDRAM DDR4 précède l'étude du contrôleur SDRAM DDR3L/DDR4.
- Une description approfondie du port PCI-Express est réalisée.
- Le cours met en évidence la mise en œuvre matérielle et logicielle des contrôleurs Ethernet gigabit / fast .
- Les interfaces de communication sont expliquées, y compris la QuiccEngine.

- Ce cours n'est dispensé que sur site et son contenu peut donc être adapté aux besoins spécifiques du client à partir du plan décrit ci-après.

PRÉREQUIS ET COURS ASSOCIÉS

- Une expérience d'un processeur ou d'un DSP 32 bits est indispensable.
- La connaissance du bus PCI Express est recommandée.

- Ce cours ne propose qu'une présentation générale du Cortex-A7.
- Notre cours de référence cours RA4 - Mise en œuvre du Cortex-A7détaille le fonctionnement de ce processeur ARM complexe.
- Notre cours de référence cours RC1 - Programmation NEON-v7explique comment vectoriser et mettre en œuvre des algorithmes destinés à être exécutés par le moteur SIMD NEON.

- Les cours suivants peuvent également vous intéresser :
  - USB Full Speed High Speed et USB On-The-Go, référence cours IP2 - USB 2.0
  - USB Super Speed, référence cours IP3 - USB 3.0
  - Ethernet et commutation, référence cours N1 - Ethernet et commutation
  - IEEE1588, référence cours N2 - IEEE1588 - Precise Time Protocol
  - Bus CAN, référence cours IA1 - Bus CAN
  - Cartes mémoire, référence cours IS2 - eMMC 5.0
  - SATA, référence cours IS3 - Serial ATA III
  - PCI Express, référence cours IC4 - PCI Express 3.0

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Introduction au LS1021A

Schéma fonctionnel

- Architecture du SoC
- Cartographie mémoire figée
- Espaces d'adressage locaux et externes, décodage d'adresses entrant et sortant

Interconnexion

- CCI-400, switch fabric à cohérence de cache
- Transport des requêtes de snoop AMBA 4
- Connectivité et contrôle du snoop
- Garantir la cohérence des données des flux d'entrées/sorties via les ports ACE-Lite
- System MMU
- Programmation du firewall TrustZone
- Contrôleur OCRAM
- Réglage de la QoS

Les processeurs Cortex-A7

Présentation du Cortex-A7

- Architecture du Cortex-A7
- Ligne de cache de 64 octets, cache L2 intégré
- VFPv4 et SIMDv2
- Pipeline d'instructions

TrustZone

- Vue conceptuelle de TrustZone
- Transitions autorisées du monde secure vers le monde non secure
- Indicateurs d'état secure des caches L1 et L2, partitionnement de la mémoire
- Sécurité du système, Central Security Unit
- Secure Non Volatile Storage

Mécanisme d'exception

- Mécanisme d'exception V7-A
- GICv2

Spécification large physical address extensions (lpae)

- Nécessité d'introduire un deuxième niveau de traduction dans le cadre des Virtualization Extensions
- Nouveau système à 3 niveaux
- Traduction d'adresses au niveau de l'hyperviseur
- Format des descripteurs de table de niveau 1
- Format des descripteurs de table de niveau 2
- Champs d'attributs et de permissions dans les tables de traduction
- Ensemble complet des indications d'allocation de cache
- Gestion de l'ASID dans le LPAE

Sous-système de niveau un

- Organisation du cache, cache d'instructions 2 voies, cache de données 4 voies
- Algorithme de remplacement pseudo-aléatoire
- Accès spéculatifs
- Hit Under Miss, Miss under Miss
- Détail des opérations de maintenance du cache

Sous-système de niveau deux

- Cache L2
- Mode read allocate
- Interface maître ACE
- Au moyen de séquences impliquant un Cortex-A7 multicœur et des maîtres externes, comprendre comment les requêtes de snoop permettent de maintenir la cohérence des données entre les caches et la mémoire

Infrastructure

Reset, horloges et initialisation

- Schéma fonctionnel du sous-système d'horloges
- Horloge de référence des protocoles SerDes
- Sélection de la configuration de tension
- Séquence de reset à la mise sous tension, détail des Reset Configuration Words
- Configuration du reset à la mise sous tension
- Pre-Boot Loader, format requis de la structure de données consommée par le PBL
- Boot depuis une flash parallèle : NOR et NAND
- Boot depuis une flash série : eSDHC et QuadSPI
- Watchdog timer

Secure boot et architecture de confiance

- Objectifs de l'architecture de confiance
- Boot ROM interne, séquence de secure boot
- Processeur de fusibles de sécurité
- Signature du code
- Détection d'intrusion externe
- Vérificateur d'intégrité à l'exécution
- Révocation de clés

Contrôle d'exécution et gestion de l'énergie

- États de gestion de l'énergie pilotés par logiciel
- Gestion de l'énergie du cœur, états doze et nap
- Gestion de l'énergie du composant, états sleep et deep-sleep
- Sources de réveil

Module serdes

- Interfaces de 1,25 à 6 Gbps
- Description des signaux externes
- Affectation et multiplexage des lanes SerDes
- Horloges du SerDes

Contrôleur mémoire sdram DDR3L/DDR4

- Spécification Jedec DDR3L et DDR4
- Nouveautés du DDR4 : terminaison Pseudo Open Drain, bank groups
- Mécanisme de calibration
- Table de vérité des commandes
- Interface matérielle
- Chronogrammes d'activation de banc, de lecture, d'écriture et de précharge, mode page
- Correction d'erreurs ECC
- Contrôleur DDR 3/4 Freescale
- Configuration initiale après le Power-on-Reset

Contrôleur de flash intégré

- Multiplexage fonctionnel des broches entre NAND, NOR et GPCM
- FSM GPCM normale
- Contrôle souple des timings
- FSM NOR flash
- FSM ASIC générique
- FSM NAND flash
- Interface asynchrone ONFI-2.2
- Génération et vérification de l'ECC
- Support des composants Flash SLC et MLC avec des tailles de page configurables
- SRAM interne de 9 Ko

Interface PCI express

- Interface PCI Express 4 lanes
- Modes de fonctionnement, Root Complex / Endpoint
- Règles d'ordonnancement des transactions
- Programmation des ATMU entrants et sortants
- Gestion des MSI
- Configuration, initialisation

Quad SPI

- Description des signaux externes
- Interface avec un seul ou deux composants de flash série externes
- Moteur de séquences programmable
- Buffers AHB, Look Up Table
- Accès en lecture mappé en mémoire aux composants flash connectés
- Programmation de la flash

Contrôleurs intégrés

- eDMA
- qDMA

Contrôleur SATA3

- Bases du SATA
- Spécification électrique
- Couche de commande AHCIÉmulation ATA standard maître uniquement
- Structure de la liste de commandes
- Regroupement des interruptions
- Commutation basée sur les FIS

Security engine

- Introduction aux algorithmes DES, 3DES et AES

- Analyse des job descriptors
- Partage des descripteurs
- Déplacement des données, FIFO
- DMA scatter / gather
- Sélection de l'algorithme d'authentification / de chiffrement
- Export et import de blobs cryptographiques
- Public Key Hardware Accelerator (PKHA)
- SNOW 3G Accelerator
- Data Encryption Standard Accelerator (DES)
- Cyclic Redundancy Check Accelerator (CRCA)
- Message Digest Hardware Accelerator (MDHA)
- Fonctions cryptographiques à courbes elliptiques

Entrées/sorties

Interfaces de communication

- Contrôleurs Ethernet
  - Fondamentaux de la spécification 802.3
  - Reconnaissance d'adresse, filtrage par motif
  - Interfaces physiques
  - Accélération de couche 2, acceptation ou rejet sur correspondance d'adresse ou de motif
  - Gestion des tags VLAN et de la priorité, insertion et suppression de VLAN
  - Qualité de service, gestion de plusieurs files d'émission et de réception
  - Moteur de déport TCP/IP, programmation du filer
  - Horodatage conforme IEEE1588
  - Regroupement des interruptions
- UART
- I2C
- SPI
- Contrôleurs FlexCAN

Enhanced secure device host controller

- Introduction aux cartes MMC et SD
- Stockage et exécution des commandes destinées à la carte externe
- Transferts multi-blocs
- Séquence de transfert en lecture
- Séquence de transfert en écriture

Contrôleurs USB

- Contrôleur USB 2.0
- Contrôleur USB 3.0

Interfaces multimédia

- Unité d'interface d'affichage
- Interfaces SSI
- Asynchronous Sample Rate Converter
- Récepteur / émetteur SPDIF

Module flextimer

- Modes du timer 16 bits, compteur croissant, compteur décroissant,
- Input capture
- Output compare

- PWM

QUICC engine

Présentation de la QUICC engine

- Communication entre le processeur hôte ARM et le processeur RISC QE, utilisation du Command Register
- Cartographie des ressources intégrées

Contrôleur d'interruptions intégré

- Gestion des priorités, comprendre la table des priorités
- Gestion de la priorité au sein des groupes de priorité et entre les groupes de priorité
- Aiguillage de la source d'interruption vers l'entrée Low priority ou High priority du PIC de la plateforme

Interface système et connexion aux ports de communication externes

- DMA série
- NMSI et TDM
- Activation des connexions au TSA ou au NMSI
- Registres CMX

Gestion des buffers

- Utilisation des Buffer Descriptors
- Chaînage des descripteurs en anneaux
- Gestion des interruptions

Contrôleurs de communication unifiés

- Traitement des interruptions UCC
- Séquence d'initialisation
- Définition des seuils des FIFO Tx et Rx

Contrôleur UCC hdlc

- Description de la trame HDLC
- Contrôle de flux
- Commandes hôte

Contrôleur UCC transparent

- Encapsulation de données transparente, synchronisation de trame et CRC de trame
- Contrôle de flux
- Commandes hôte

Interface série

- Connexion des lignes TDM
- Paramétrage des timings liés aux signaux d'horloge, de synchronisation et de données Rx/Tx

Contrôleur multi-canaux sur UCC - umcc

- Clarification des différentes tables à implanter en MURAM
- Connexion des time-slots aux canaux logiques via les tables de routage Rx/Tx
- Mise en œuvre des buffers de canaux Rx/Tx
- Gestion des interruptions, intérêt des files d'interruptions
- Modes de fonctionnement, transparent, HDLC