HX4 - AMD (Xilinx) - Mise en œuvre de Microblaze

Ce cours explique comment concevoir un SoC à base de MicroBlaze, d'IP propriétaires AMD et/ou d'IP spécifiques avec EDK

Objectifs

- Le cours décrit comment construire un système embarqué complet à base du processeur MicroBlaze de Xilinx
- La mise en œuvre de Microblaze et l'Embedded Development Kit (EDK) avec les outils Xilinx Platform Studio (XPS) et Software Development Kit (SDK) sont décrits pour créer une plate-forme matérielle et le logiciel à exécuter pour la programmer
- Les outils de simulation Xilinx sont présentés pour déboguer le logiciel et le matériel
- L'utilitaire Impact est décrit pour flasher le bitstream
- Chipscope Pro est également utilisé afin d'afficher les transactions AXI internes au composant

Environnement

- Un PC avec l'IDE Xilinx Vivado v.2013.4
- Une carte Nexys-3 (à base de Xilinx Spartan6) ou Nexys-4 (à base de Xilinx Artix7)
- Supports de cours au format PDF (et au format imprimé pour les formations en présentiel)

Prérequis

- Connaissances de base sur les processeurs et la technologie FPGA
- Connaissance des langages VHDL et C

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Démarrer par un simple projet "Hello Word"

- Présentation des outils :
  - Le Vivado Design Suite
  - EDK
- Présentation du flot de développement
  - Développement matériel
  - Développement logiciel
  - Vérification (simulation et débogage)
  - Flashage avec Impact

L'IP MicroBlaze Logicore (MCS)

- Système microcontrôleur
  - Caractéristiques
  - Présentation
  - Concevoir avec le core
- Présentation de l'architecture Microblaze
  - Présentation des blocs du core

    - Introduction et fonctions configurables
    - Types de données et endianness
    - Banc de registres (registres généraux et registres spéciaux)
    - Pipeline
    - Branchements
    - Modes de privilège
    - Exceptions matérielles
    - Breaks
    - Interruptions
    - Table des vecteurs
    - Unité de calcul flottant
    - Présentation des caches et de la MMU
    - Débogage
    - L'ABI MicroBlaze
- Présentation des interfaces MicroBlaze
    - Présentation des E/S du MicroBlaze
    - Bus AXI4, AXI-Lite
    - AXI-Stream
    - PLB (Peripheral Local Bus)
    - LMB (Local Memory Bus)
    - FSL (Fast Simplex Link Interface)
    - XCL (Xilinx CacheLink Interface)
    - Interface de débogage
    - Configurabilité du core MicroBlaze

Conception matérielle - Xilinx Platform Studio (XPS)

- Introduction
- Platgen
- Simgen
    - Générer les modèles de simulation et le banc de test
    - Charger une application
- Description de l'interface XPS
- Description des fichiers MHS, MPD, PAO
- Accéder aux informations d'un périphérique (datasheet, MPD, etc.)
- Connexion des bus et des périphériques
- Fichiers de définition de périphérique
- L'outil Platgen

Conception logicielle - Le Software Development Kit (SDK)

- Introduction
- Libgen
- Référentiels analysés pour les composants logiciels
- Démarrage
- Script de linker
- Description des fichiers MSS, MLD, MDD
- Spécification du Board Support Package
- Utiliser les drivers d'IP Xilinx
- Gestion des interruptions
- Initialisation de la Block RAM (Data2Mem)
- Débogage (vues mémoire, registres, désassemblage, etc.)
- Générer le script de linker (placer code et données dans des mémoires différentes)
- Exécuter l'application depuis une mémoire DDR3 externe (à l'aide d'un bootloader)
- Profilage
    - Reconstruire l'application et le BSP avec les bonnes options de compilation pour utiliser le profilage

Création et insertion d'un périphérique spécifique

- Présentation de l'assistant Create or Import Peripheral (CIP)
- L'IP LogiCORE AXI Lite IPIF pour connecter un périphérique esclave sur le bus
- Créer les templates HDL et MPD depuis XPS
- Structure de répertoires générée
- Développement et simulation d'IP sous ISE
  - Développer une IP utilisateur et un banc de test
  - Comprendre comment créer des registres logiciels (mappés en mémoire)
  - Simuler l'IP
- Importer une IP spécifique dans XPS
- Connecter une IP esclave sur le bus AXI-Lite

Le débogueur matériel ChipScope

- Introduction à Chipscope Pro
- Implémenter un moniteur AXI dans le design pour analyser les transactions du bus AXI4-Lite
- Récupérer les chronogrammes des signaux internes au composant avec Chipscope Pro Analyzer
- Préciser les conditions de déclenchement