MSP - Programmation du Microchip SmartFusion2

Ce cours décrit le Microcontroller Subsystem (MSS) des FPGA SmartFusion2 de Microchip

Objectif

- Obtenir une vue d'ensemble de l'architecture Cortex-M
- Comprendre la mise en œuvre logicielle et le débogage sur Cortex-M
- La mise en œuvre Microchip et l'Embedded Development Kit (EDK) avec Libero SoC et les outils de l'environnement de développement intégré (IDE) logiciel sont décrits pour créer une plate-forme matérielle et le logiciel à exécuter pour la programmer
- Décrire l'architecture et les E/S du MSS SmartFusion et comprendre l'interface avec le fabric FPGA du SmartFusion2
- Se familiariser avec les périphériques du MSS

Prérequis

- Connaissances de base sur les processeurs et la technologie FPGA
- Connaissance des langages VHDL et C

Environnement du cours

- Microchip LiberoSoC v12.0 et SoftConsole v6.0
- Une carte à base de SmartFusion2

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Libero SoC

- Présentation des FPGA et SoC Microchip
- Présentation de Libero SoC
- Création et conception
- Gestion des contraintes
- Banc de test et simulations
- Programmation et débogage
- Les outils Microchip (Microsemi)’s

Présentation de l'architecture Cortex-M3

- Présentation de l'architecture V7-M
- Architecture du core
  - Architecture Harvard, bus I-Code, D-Code et System
  - Write Buffer
  - Registres (deux pointeurs de pile)
  - États
  - Les différents modes d'exécution et niveaux de privilège

    - System Control Block
    - Timer Systick
    - Présentation de la MPU
- Programmation
    - Alignement et endianness
    - Bibliothèque CMSIS
- Présentation du mécanisme d'exceptions et d'interruptions
    - Table des vecteurs
    - Présentation de l'entrée et du retour d'interruption
    - Tail-Chaining
    - Préemption (imbrication)
    - Contrôleur d'interruptions intégré NVIC
    - Gestion des priorités d'exception
    - Escalade des fautes
    - Interface de débogage

Deuxième jour

Le processeur Cortex-M3 du SmartFusion2

- Interface au niveau système
- Débogage configurable intégré
- Périphériques du core du processeur Cortex-M3
    - Nested Vectored Interrupt Controller
    - System Control Block
    - System Timer
    - Memory Protection Unit
- Description du processeur Cortex-M3
    - Modèle du programmeur
    - Modèle mémoire
    - Modèle d'exceptions
    - Traitement des fautes
    - Gestion de l'énergie
- Jeu d'instructions du processeur Cortex-M3
    - Fonctions CMSIS
    - Instructions d'accès mémoire
    - Instructions générales de traitement de données
    - Instructions de saturation
    - Instructions de branchement et de contrôle
- Périphériques du processeur Cortex-M3
    - System Control Block
    - System Timer (Systick)
    - Memory Protection Unit

Le contrôleur de cache du MSS

- Matrice de cache
- Mapping mémoire
- Plans mémoire et mapping des transactions
- Mode Cache Locked
- Comment utiliser le contrôleur de cache

Contrôleurs de NVM (eNVM) et de SRAM (eSRAM) embarquées

- Description fonctionnelle
- Sécurité
- Comment utiliser l'eNVM

- Registres de contrôle SYSREG

Périphérique et contrôleur DMA haute performance

- Initialisation du contrôleur DMA
- Opérations du contrôleur DMA
- Comment utiliser le HPDMA
- Plan des registres du contrôleur HDMA
- Présentation de l'architecture du DMA de périphérique
- Comment utiliser le PDMA
- Plan des registres du PDMA

Le contrôleur d'interface avec le fabric

- Présentation de l'architecture
- Description fonctionnelle
- Options AHB-Lite
- Points à considérer pour l'implémentation
- Comment utiliser le FIC

Troisième jour

Le contrôleur de reset

- Séquence de génération du reset à la mise sous tension
- Données temporelles de la mise sous tension à l'état fonctionnel
- Contrôleur de soft reset CoreResetP
  - Topologie du reset
  - Implémentation
- Comment utiliser le contrôleur de reset

AHB - Advanced High Performance Bus

- Décodage d'adresse centralisé
- Logique de gating d'adresse
- Pipelining d'adresse
- Transferts séquentiels
- Spécification AHB-Lite

Connectivité et communication

- Contrôleur Universal Serial Bus OTG
- Ethernet MAC
- Contrôleur CAN
- Périphériques MMUART
- Contrôleur Serial Peripheral Interface (SPI)
- Périphériques Inter-Integrated Circuit (I²C)
- GPIO du MSS
- Bloc de communication
  - Présentation de l'architecture
  - Soft IP CoreSysServices
  - Comment utiliser le bloc de communication
- Contrôleur temps réel
- System Timer
- Watchdog Timer
- Service système ECC