RA0 - Mise en œuvre du Cortex-A5

Ce cours couvre le CPU ARM Cortex-A5

OBJECTIFS

- Ce cours se décompose en 3 parties importantes :
  - l'architecture du Cortex-A5
  - la mise en œuvre logicielle et le débogage du Cortex-A5
  - la mise en œuvre matérielle du Cortex-A5.
- Le fonctionnement de la MMU sous Linux est décrit.
- L'interaction entre les caches de niveau 1, le cache de niveau 2 et la mémoire principale est étudiée au travers de séquences.
- Le mécanisme d'exception est détaillé, en indiquant comment la virtualisation permet la prise en charge de plusieurs systèmes d'exploitation.
- Le cours détaille également la mise en œuvre matérielle et fournit des recommandations pour concevoir un SoC à base de Cortex-A5.
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.
- Le cours explique les mécanismes dédiés à la mise en œuvre SMP : gestion des ressources exclusives, snooping, interruptions générées par logiciel.

PRÉREQUIS

- Connaissance des ARM7/9 ou avoir suivi notre cours Fondamentaux ARM.
- Ce cours ne comporte pas de chapitres sur la programmation bas niveau.
  - ACSYS propose un large ensemble de tutoriels pour se familiariser avec RVDS, la programmation en assembleur et les astuces de compilation.
- Plus de 12 bonnes réponses à notre questionnaire de prérequis Cortex-A5.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Introduction au Cortex-A5

- Variantes du Cortex-A5 : mono-cœur et multicœur
- Les 4 jeux d'instructions
- Options configurables

Bases de l'architecture ARM

- États et modes
- Mécanisme d'exception
- Jeux d'instructions

Pipeline d'instructions

- Fonctionnement du pipeline in-order
- Mécanisme de prédiction de branchement
- Return stack

TrustZone

- Vue conceptuelle de TrustZone
- Transitions autorisées de secure vers non secure
- Partitionnement de la mémoire
- Gestion des interruptions
- Séquence de démarrage

Introduction aux systèmes multicœurs

- AMP et SMP
- Séquence de démarrage
- Moniteur d'accès exclusif
- Moniteur global
- Mise en œuvre d'un spin-lock
- Utilisation des événements
- Concepts de base des RTOS supportant l'architecture SMP de l'A5

Deuxième jour

Thumb-2 instruction set (V7-A)

- Généralités sur la syntaxe
- Instructions de branchement et de contrôle de flux
- Instructions d'accès mémoire
- Instructions générant des exceptions
- Blocs conditionnels If&then
- Fonctionnement de la pile
- Interworking entre les états ARM et Thumb
    - Démonstration de séquences en assembleur destinées à comprendre ce nouveau jeu d'instructions

Unité de gestion mémoire

- Objectifs de la MMU
- Traduction d'adresse
- Permissions d'accès aux pages, domaines et protection des pages
- Utilisation des instructions de memory barrier
- Format de la table externe de descripteurs de pages
- Tablewalk
- Organisation du TLB
- Utilisation des microTLB
- Exception abort, mécanisme de pagination à la demande
- Opérations de maintenance de la MMU
- Maintien de la cohérence entre plusieurs TLB

Système mémoire de niveau 1

- Organisation du cache
- Opérations de maintenance supportées
- Instructions de memory hint
- Description des transactions transitoires liées au cache : line fills et line eviction
- Store buffer 64 bits avec fusion
- Événements associés du PMU

Cohérence matérielle

- Principes de base du snooping
- Snoop Control Unit : transferts de cache à cache
- Machine d'états MOESI
- Filtrage d'adresses
- Compréhension, au travers de séquences, du maintien de la cohérence des données entre la mémoire L2 et les caches L1
- Accelerator Coherency Port
- Activation du mode cohérent

Troisième jour

AMBA 3

- AXI
  - Topologie
  - Interconnect AXI PL301
  - Canaux AXI, handshake de canal
  - Support des transferts de données non alignés
  - Ordonnancement des transactions, achèvement des transactions dans le désordre
  - Interface mémoire externe du Cortex-A5, codage des ID
- APB 3

Mise en œuvre matérielle

- Domaines d'horloge
- Domaines de reset
- Contrôle de la consommation, gestion dynamique de l'énergie
- Architecture Wait For Interrupt
- Interface mémoire de niveau 2
- Cache L2 exclusif

PL310 level 2 cache

- Configurabilité du cache
- Compréhension, au travers de séquences, de la copie des informations cacheables depuis la mémoire vers les caches de niveau 1 et de niveau 2
- Opérations transitoires, utilisation des line buffers LFB, LRB, EB et STB
- Surveillance des événements du cache
- Description de chaque opération de maintenance
- Verrouillage du cache
- Séquence d'initialisation

Moniteur de performance

- Comptage d'événements

- Débogage d'un système multi-cœur à l'aide du PMU

Quatrième jour

Contrôleur d'interruptions

- Gestion des exceptions du Cortex-A5
- Virtualisation des interruptions
- Unité timer et watchdog intégrée dans le MPCore
- Groupes d'interruptions : SGI, PPI, SPI, LSPI
- Priorisation des sources d'interruption
- Distribution des interruptions vers les cœurs Cortex-A5
- Génération d'interruptions par logiciel
- Détail de la séquence d'interruption, rôle des registres Interrupt Acknowledge et End-Of-Interrupt

Modes basse consommation

- Domaines de tension
- Communication avec le contrôleur de gestion d'énergie
- Signaux standby et wait for event
- Registre SCU power status

CoreSight debug units

- Apports de CoreSight
- Débogage invasif, débogage non invasif, prise en compte de l'attribut secure
- Connexion au Debug Access Port
- Fonctions de débogage offertes par le Cortex-A5
- Event catching
- Debug Communication Channel
- Interface ETM
- Cross-Trigger Interface, débogage d'un SoC multi-cœur