RA1 - Mise en œuvre du Cortex-A8

Ce cours couvre le cœur ARM haut de gamme Cortex-A8

Objectifs

- Ce cours se décompose en 3 parties importantes :
  - l'architecture du Cortex-A8
  - la mise en œuvre logicielle et le débogage du Cortex-A8
  - la mise en œuvre matérielle du Cortex-A8.
- Le fonctionnement de la MMU sous Linux est décrit.
- L'interaction entre les caches de niveau 1, le cache de niveau 2 et la mémoire principale est étudiée au travers de séquences.
- Le mécanisme d'exception est détaillé, en indiquant comment la virtualisation permet la prise en charge de plusieurs systèmes d'exploitation.
- Le cours détaille également la mise en œuvre matérielle et fournit des recommandations pour concevoir un SoC à base de Cortex-A8.
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.

Prérequis et cours associés

- Connaissance des ARM7/9 ou avoir suivi notre cours Fondamentaux ARM.
- Ce cours ne comporte pas de chapitres sur la programmation bas niveau.
  - ACSYS propose un large ensemble de tutoriels pour se familiariser avec RVDS, la programmation en assembleur et les astuces de compilation.
- Plus de 12 bonnes réponses à notre questionnaire de prérequis Cortex-A.
- Cours associés :
  - Programmation avec l'IDE RVDS, référence cours RV0 - Programming with RVDS IDE
  - Programmation VFP, référence cours RC0 - VFP programming
  - Programmation NEON, référence cours RC1 - Programmation NEON-v7

    .

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Bases de l'architecture ARM

- États et modes
- Mécanisme d'exception
- Jeux d'instructions
- Rôle du CP15

TrustZone

- Vue conceptuelle de TrustZone
- Transitions autorisées de secure vers non secure
- Indicateurs d'état secure des L1 et L2, partitionnement de la mémoire
- Séquence de démarrage

Introduction au Cortex-A8

- Schéma fonctionnel
- Mise en évidence du chemin d'instructions et du chemin de données
- Jeux d'instructions supportés
- Exceptions
- Options configurables

Pipeline d'instructions

- Fonctionnement du pipeline superscalaire
- Étude pas à pas du traitement des instructions
- Mécanisme de prédiction de branchement, utilisation du BTB et du GHB
- Return stack
- Instruction Memory Barrier

Unité de gestion mémoire

- Tailles de pages
- Traduction d'adresse
- Permissions d'accès aux pages
- Attributs de page
- Tablewalk logiciel et matériel
- Verrouillage du TLB
- Exception abort
- Opérations de maintenance de la MMU

Deuxième jour

Caches de niveau 1 et 2 du Cortex-A8

- Principes de base du cache
- Organisation du cache L1
- Support matériel des conditions d'aliasing virtuel
- Write buffer
- Lecture logicielle des caches L1 à des fins de débogage

- Registres CP15 associés
- Organisation du cache L2
- Indexation physique, tagging physique
- Politique de transfert du cache L2
- Write buffer
- L2 Preload Engine [PLE], programmation des canaux
- Lecture logicielle du cache L2 à des fins de débogage
- Événements associés du PMU
- Registres CP15 associés

AXI protocol

- Interconnect AXI PL301
- Séparation des phases d'adresse/contrôle et de données
- Support des transferts de données non alignés
- Ordonnancement des transactions
- Chronogrammes des bursts de lecture et d'écriture
- Interface mémoire externe du Cortex-A8, codage des ID

Mise en œuvre matérielle

- Domaines d'horloge
- Domaines de reset
- Contrôle de la consommation, gestion dynamique de l'énergie
- Architecture Wait For Interrupt
- Attributs de l'interface maître AXI
- Moniteur exclusif interne, clarification des instructions ldrex / strex

Troisième jour

Moniteur de performance

- Comptage d'événements
- Choix de l'événement à compter pour les 4 compteurs
- Débogage d'un système multi-cœur à l'aide du PMU

Vectored interrupt controller

- Gestion des exceptions du Cortex-A8
- Les 3 registres de base de la table des vecteurs
- Virtualisation des interruptions
- Connexion d'un contrôleur d'interruptions externe
- Activation de l'imbrication des interruptions
- VIC ARM PL192
- Séquence nécessaire pour acquitter la source d'interruption
- Mise en cascade de deux PL192

Modes basse consommation

- Domaines de tension
- Mode run, mode standby, mode dormant
- Étude de la séquence nécessaire pour entrer et sortir du mode dormant
- Communication avec le contrôleur de gestion d'énergie

CoreSight debug units

- Débogage invasif, débogage non invasif

- Interface de débogage APBv3
- Fonctions de débogage offertes par le Cortex-A8
- Breakpoint et watchpoint liés au processus
- Échantillonnage du program counter
- Event catching
- Debug Communication Channel
- Interface ETM, connexion au funnel
- Cross-Trigger Interface, débogage d'un SoC multi-cœur