RM0 - Mise en œuvre du Cortex-M0 / Cortex-M0+

Ce cours couvre les deux processeurs ARM Cortex-M0 et Cortex-M0+

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du processeur
  - Mise en œuvre logicielle
  - Mise en œuvre matérielle.
- Un tutoriel a été développé par ACSYS pour faciliter la compréhension de la programmation bas niveau du Cortex-M0, les travaux pratiques peuvent donc être rejoués après le cours.
- Le cours explique comment concevoir un SoC à base de Cortex-M0 / Cortex-M0+, en clarifiant le fonctionnement de l'interconnexion et des moyens de débogage intégrés au processeur.
- Cette formation a été dispensée plusieurs fois à des entreprises développant des SoC pour le marché du sans-fil et du grand public.

Prérequis

- Connaissances de base sur les processeurs ou les DSP.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Architecture du CORTEX-M0/M0+

- Pipeline d'instructions
- Matrice de bus interne, plan mémoire figé
- Mise en évidence des différences entre Cortex-M0 et Cortex-M3
- Options de mise en œuvre
- Fonctions supplémentaires du Cortex-M0+, deux niveaux de privilège, double pile

Programmation ARM V6-M

- Registres du programme, format du xPSR
- Jeu d'instructions Thumb 16 bits
- Fonctions de la bibliothèque Keil, division
- Instruction barrier, cas d'utilisation

Débogage

- Présentation de CoreSight
- Unités CoreSight dépendantes du processeur, breakpoints, watchpoints
- Vector catch
- Serial Wire Debug
- Micro Trace Buffer optionnel (Cortex-M0+)

Memory protection unit - CORTEX-M0+

- Présentation de la protection mémoire, PMSA de l'ARM v7
- MPU du Cortex-M0 et bus faults
- Présentation des régions, type de mémoire et contrôle d'accès, sous-régions
- Mise en place de la MPU

Deuxième jour

Mécanisme d'exception et modes basse consommation

- Exception et interruption
- Sauvegarde automatique du contexte à l'entrée et à la sortie d'exception, approche CISC
- Niveaux de priorité d'interruption, imbrication
- Tail-chaining et interruptions à arrivée tardive
- Gestion des fautes
- Appel système de l'OS et commutation de tâches

Modes basse consommation

- Standby et deep sleep avec rétention d'état
- Événement et interruption
- Contrôleur d'interruptions de réveil optionnel
- Timer matériel SysTick
- Contraintes pour la Power Management Unit

Conception du logiciel embarqué

- Démarrage de l'application
- Placement du code, des données, de la pile et du tas dans le plan mémoire, scatterloading
- Reset et initialisation
- Placement d'une table de vecteurs minimale
- Autres considérations sur le plan mémoire, alignement de pile sur 8 octets dans les handlers
- Veneers de branchement long
- Bibliothèque CMSIS

Mise en œuvre matérielle

- Architecture de bus, fonctionnement von Neumann
- Port d'entrée/sortie à cycle unique (Cortex-M0+)
- Pipeline d'adresses
- Transferts séquentiels
- Spécification AHB-lite