RM1 - Mise en œuvre du Cortex-M1

Ce cours couvre le cœur ARM Cortex-M1 destiné aux SoC sur FPGA

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du processeur
  - Mise en œuvre logicielle
  - Mise en œuvre matérielle.
- Un tutoriel a été développé par ACSYS pour faciliter la compréhension de la programmation bas niveau du Cortex-M1, les travaux pratiques peuvent donc être rejoués après le cours.
- Le cours explique comment concevoir un SoC à base de Cortex-M1, en clarifiant le fonctionnement de l'interconnexion et des moyens de débogage intégrés au processeur.

Prérequis

- Connaissance des ARM7/9.
- Ce cours ne comprend pas de chapitres sur la programmation bas niveau.
  - ACSYS propose un large ensemble de tutoriels pour se familiariser avec RVDS, la programmation en assembleur et les astuces de compilation.
- Plus de 12 bonnes réponses au questionnaire de prérequis Cortex-R.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

INTRODUCTION À L'ARM Cortex-M1

- Modèle du programmeur
- Plan mémoire figé
- Privilège, modes et piles
- Memory Protection Unit
- Gestion des interruptions
- Nested Vectored Interrupt Controller [NVIC]
- Gestion de l'énergie
- Débogage

CŒUR ARM Cortex-M1

- Chemin de données et pipeline
- Write buffer
- Bit-banding
- Timer système
- État, privilège et piles
- System control block
- Différents niveaux de mise en œuvre du débogage

Exceptions

- Comportement des exceptions, retour d'exception
- Exceptions non masquables
- Privilège, modes et piles
- Escalade de fautes
- Table de vecteurs

Présentation du jeu d'instructions Thumb-2

- Instructions de traitement de données
- Instructions de branchement et de contrôle de flot
- Instructions d'accès mémoire
- Instructions génératrices d'exception
- Blocs conditionnels If...then
- Instructions exclusive load et store
- Accès aux registres spéciaux
- Memory barriers et synchronisation

Deuxième jour

Interruptions

- Entrée / sortie d'interruption, chronogrammes
- Tail chaining
- Temps de réponse aux interruptions, préemption
- Priorisation des interruptions
- Configurabilité de la mise en œuvre des interruptions, impact sur la taille du cœur

Types de mémoire

- Types de mémoire, restrictions concernant les load / store multiples
- Ordonnancement des mémoires device et normal
- Ordre des accès
- Memory barriers

Débogage invasif

- Fonctions de débogage du Cortex-M1
- Mode moniteur
- Fonctions flash patch et breakpoint
- Data watchpoint and trace
- Registres DWT
- AHB-Access Port

Intégration

- Intégration fonctionnelle
- Horloges

- Reset
- Interfaces AHD et Debug
- Synthèse, placement et routage
- Sign-Off

Troisième jour

Mise en œuvre

- Flot de mise en œuvre
- Options de configuration
- Validation RTL
- Synthèse
- Placement et routage
- Qualification

Spécification d'interconnexion AMBA3.0

- Objet de cette spécification
- Exemple de SoC fondé sur la spécification AMBA
- Différences entre AMBA2.0 et AMBA3.0

AHB - advanced high performance bus

- Décodage d'adresse centralisé
- Logique de gating d'adresse
- Arbitrage, bus parking
- Transactions à donnée unique
- Transferts séquentiels
- Réponse retry
- Réponse split
- Spécification AHB-lite

APB - advanced peripheral bus

- Chronogramme de lecture
- Chronogramme d'écriture
- Fonctionnement du pont AHB vers APB
- Nouveautés de l'APB3.0

Ports AHB du Cortex-M1

- Horloges et reset
- Interfaces de bus , conformité AMBA-3
- Interface de débogage, interface de programmation AHB-AP
- Connexion au TPIU