RM2 - Mise en œuvre du Cortex-M3

Ce cours couvre le cœur ARM Cortex-M3

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du Cortex-M3
  - Mise en œuvre logicielle et débogage du Cortex-M3
  - Mise en œuvre matérielle du Cortex-M3.
- Bien que le Cortex-M3 semble être un simple cœur 32 bits, il met en œuvre des mécanismes sophistiqués comme la préemption d'exception, la matrice de bus interne et les unités de débogage.
- À travers un tutoriel, la programmation bas niveau du Cortex-M3 est expliquée, en particulier le paramétrage de l'éditeur de liens ARM et certaines instructions assembleur délicates.
- Notez que les participants peuvent rejouer ces travaux pratiques après la formation.
- Le cours détaille également la mise en œuvre matérielle et fournit des règles pour concevoir un SoC à base de Cortex-M3, en tirant parti des transactions AHB simultanées
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.

Prérequis

- Une compréhension de base des microprocesseurs et des microcontrôleurs.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

INTRODUCTION GÉNÉRALE À L'ARM Cortex-M3

- Résumé de l'architecture ARM
- Répondre au défi grâce aux profils
- Évolution du jeu d'instructions ARM

INTRODUCTION À L'ARM Cortex-M3

- Macrocellule du processeur ARM Cortex-M3
- Modèle du programmeur
- Registres d'état du programme
- Pipeline d'instructions
- Plan mémoire figé
- Memory Protection Unit
- Gestion des interruptions

- Gestion de l'énergie

CŒUR ARM Cortex-M3

- Schéma bloc
- Chemin de données et pipeline
- Write buffer
- Bit-banding
- État, privilège et piles
- Alignement et endianness
- System control block

Jeu d'instructions Thumb-2

- Généralités sur la syntaxe
- Instructions de traitement de données
- Instructions de branchement et de contrôle de flot
- Instructions d'accès mémoire
- Instructions génératrices d'exception
- Blocs conditionnels If then
- La pile en fonctionnement
- Accès aux registres spéciaux
- Tutoriel : se familiariser avec l'IDE Keil
  - Comment créer un nouveau projet
  - Paramétrage de l'IDE
  - Exécution de travaux pratiques simples pour comprendre le fonctionnement des instructions assembleur complexes, comme table branch et it

Interruptions

- Fonctionnement de base des interruptions
- Entrée / sortie d'interruption, chronogrammes
- Tail chaining
- Temps de réponse aux interruptions, préemption
- Registres du NVIC
- Priorisation des interruptions
- Configurabilité de la mise en œuvre des interruptions, impact sur la taille du cœur

Exceptions

- Comportement des exceptions, retour d'exception
- Exceptions non masquables
- Privilège, modes et piles
- Élévation de priorité
- Table de vecteurs

Types de mémoire

- Ordonnancement des mémoires device et normal
- Restrictions d'accès selon le type de mémoire
- Ordre des accès
- Memory barriers

Unité de protection mémoire

- Présentation de la protection mémoire
- Registres d'état et d'adresse de faute
- Présentation des régions, type de mémoire et contrôle d'accès, sous-régions

- Mise en place de la MPU

DÉVELOPPEMENT DE LOGICIEL EMBARQUÉ AVEC LE Cortex-M3

- Processus de développement embarqué
- Démarrage de l'application
- Placement du code, des données, de la pile et du tas dans le plan mémoire, scatterloading
- Reset et initialisation
- Placement d'une table de vecteurs minimale
- Construction et débogage de votre image
- Veneers de branchement long
- Tutoriel : se familiariser avec l'IDE Keil
  - Scatterloading
  - Retargeting de la bibliothèque C
  - Traitement des interruptions en langage C
  - Utilisation de SVC

Débogage invasif

- Infrastructure de débogage CoreSight
- Mode halt
- Mode moniteur
- Sources d'événements de débogage
- Fonctions flash patch et breakpoint
- Remapping du FPB
- Data watchpoint and trace
- Registres DWT
- Spécification ARM debug interface
- AHB-Access Port
- Mises en œuvre possibles du DP

Débogage NON invasif

- Fonctionnement de base de l'ETM
- Principes de la trace d'instructions
- Paquets ITM
- Paquets de trace DWT
- Paquets d'horodatage
- Trace d'instructions
- Composants du TPIU
- Brochage du TPIU
- Interface logicielle

ASTUCES DE COMPILATION C/C++ POUR LE Cortex-M3

- Optimisations du compilateur ARM
- Mélange de C/C++ et d'assembleur
- Programmation avec le compilateur ARM
- Mesure de l'utilisation de la pile
- Accès non alignés
- Questions liées aux données locales et globales, alignement des structures
  - Tutoriel : mise en œuvre de ces optimisations avec le compilateur ARM/Keil

Spécification d'interconnexion AMBA3.0

- Objet de cette spécification
- Organisation à 2 bus
- Exemple de SoC fondé sur la spécification AMBA

AHB - advanced high performance bus

- Décodage d'adresse centralisé
- Logique de gating d'adresse
- Arbitrage, bus parking
- Transactions à donnée unique
- Pipeline d'adresses
- Transferts séquentiels
- Spécification AHB-lite

APB - advanced peripheral bus

- Décodage d'adresse de second niveau
- Fonctionnement du pont AHB vers APB
- Nouveautés de l'APB3.0

Mise en œuvre matérielle AHB du Cortex-M3

- Horloges et reset, gestion de l'énergie
- Interfaces de bus
- Conformité AMBA-3
- Unification des bus de code
- Signal Branch Status
- Gestion des accès non alignés
- Connexion au TPIU