RM3 - Mise en œuvre du Cortex-M4 / Cortex-M4F

Ce cours couvre les deux cœurs ARM Cortex-M4 et Cortex-M4F (avec FPU)

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du Cortex-M4
  - Mise en œuvre logicielle et débogage du Cortex-M4
  - Mise en œuvre matérielle du Cortex-M4.
- Bien que le Cortex-M4 semble être un simple cœur 32 bits, il met en œuvre des mécanismes sophistiqués comme la préemption d'exception, la matrice de bus interne et les unités de débogage.
- À travers un tutoriel, la programmation bas niveau du Cortex-M4 est expliquée, en particulier le paramétrage de l'éditeur de liens ARM et certaines instructions assembleur délicates.
- Le cours indique également comment utiliser les nouvelles instructions DSP et FPU pour accélérer la mise en œuvre des algorithmes de traitement du signal.
- Notez que les participants peuvent rejouer ces travaux pratiques après la formation.
- Le cours détaille également la mise en œuvre matérielle et fournit des règles pour concevoir un SoC à base de Cortex-M4, en tirant parti des transactions AHB simultanées.
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.

Prérequis

- Une compréhension de base des microprocesseurs et des microcontrôleurs.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour - architecture

Introduction à l'arm Cortex-M4

- Macrocellule du processeur ARM Cortex-M4
- Modèle du programmeur
- Pipeline d'instructions
- Plan mémoire figé
- Privilège, modes et piles
- Memory Protection Unit
- Gestion des interruptions
- Nested Vectored Interrupt Controller [NVIC]
- Gestion de l'énergie

- Débogage

Cœur ARM Cortex-M4

- Registres à usage spécifique
- Chemin de données et pipeline
- Write buffer
- Bit-banding
- Timer système
- État, privilège et piles
- System control block

Architecture d'un SOC à base de Cortex-M4

- Matrice de bus interne
- Matrice de bus externe pour gérer les maîtres DMA
- Connexion des périphériques
- Partage des ressources entre le Cortex-M4 et les autres processeurs
- Connexion au Power Manager Controller

Deuxième jour - programmation

Développement de logiciel embarqué avec le Cortex-M4

- Démarrage de l'application
- Placement du code, des données, de la pile et du tas dans le plan mémoire, scatterloading
- Reset et initialisation
- Placement d'une table de vecteurs minimale
- Autres considérations sur le plan mémoire, alignement de pile sur 8 octets dans les handlers

Jeu d'instructions Thumb-2

- Généralités sur la syntaxe
- Instructions de traitement de données
- Instructions de branchement et de contrôle de flot
- Instructions d'accès mémoire
- Instructions génératrices d'exception
- Blocs conditionnels If&then
- La pile en fonctionnement
- Instructions exclusive load et store, mise en œuvre de séquences atomiques
- Memory barriers et synchronisation

Jeu d'instructions DSP du Cortex-M4

- Instructions de multiplication
- Instructions de packing / unpacking
- Instructions ARM SIMD V6 d'addition / soustraction packées
- Instructions SIMD d'addition/soustraction combinées, mise en œuvre des opérations complexes canoniques
- Instructions multiply et multiply accumulate
- Instructions SIMD sum absolute difference
- Instruction SIMD select
- Instructions de saturation

Unité de calcul flottant

- Introduction à l'IEEE754
- Arithmétique flottante

- FPU simple précision du Cortex-M4F
- Banc de registres
- Activation de la FPU
- Performances de la FPU, MAC fusionné
- Amélioration des performances par le choix du mode flush-to-zero et du mode default NaN
- Extension de l'AAPCS pour inclure les registres FP

ASTUCES DE COMPILATION C/C++ POUR LE Cortex-M4

- Mélange de C/C++ et d'assembleur
- Programmation avec le compilateur ARM
- Mesure de l'utilisation de la pile
- Accès non alignés
- Questions liées aux données locales et globales, alignement des structures
- Autres optimisations, retour de l'éditeur de liens

Troisième jour - exceptions, débogage

Interruptions

- Fonctionnement de base des interruptions, mécanisme d'interruption microcodé
- Entrée / sortie d'interruption, chronogrammes
- Pile d'interruption
- Tail chaining
- Temps de réponse aux interruptions, préemption
- Priorisation des interruptions
- Handlers d'interruption

Exceptions

- Comportement des exceptions, retour d'exception
- Exceptions non masquables
- Privilège, modes et piles
- Escalade de fautes
- Élévation de priorité
- Table de vecteurs

Unité de protection mémoire

- Types de mémoire
- Ordre des accès
- Memory barriers, code auto-modifiant
- Présentation de la protection mémoire, PMSA de l'ARM v7
- MPU du Cortex-M4 et bus faults
- Registres d'état et d'adresse de faute
- Présentation des régions, type de mémoire et contrôle d'accès, sous-régions
- Recouvrement des régions

Débogage invasif

- Infrastructure de débogage CoreSight
- Mode halt
- Vector catching
- Sources d'événements de débogage
- Fonctions flash patch et breakpoint
- Data watchpoint and trace
- Spécification ARM debug interface

- Composants CoreSight
- AHB-Access Port
- Mises en œuvre possibles du DP : Serial Wire JTAG Debug Port [SWJ-DP] ou SW-DP

Débogage NON invasif

- Fonctionnement de base de l'ETM
- Principes de la trace d'instructions
- Instrumentation trace macrocell
- Registres de port de stimulus de l'ITM
- Paquets de trace DWT
- Types d'événements matériels
- Trace d'instructions
- Paquets de synchronisation
- Interface entre les données de trace sur puce issues de l'ETM et l'Instrumentation Trace Macrocell [ITM]
- Composants du TPIU
- Connexion Serial Wire

Quatrième jour mise en œuvre matérielle

Spécification d'interconnexion AMBA3.0

- Objet de cette spécification
- Exemple de SoC fondé sur la spécification AMBA
- Différences entre AMBA2.0 et AMBA3.0

AHB - advanced high performance bus

- Décodage d'adresse centralisé
- Logique de gating d'adresse
- Arbitrage, bus parking
- Transactions indivisibles
- Transactions à donnée unique
- Pipeline d'adresses
- Transferts séquentiels
- Spécification AHB-lite
- Paramétrage du cœur AHB fourni par ARM

APB - advanced peripheral bus

- Décodage d'adresse de second niveau
- Chronogramme de lecture
- Chronogramme d'écriture
- Fonctionnement du pont AHB vers APB
- Nouveautés de l'APB3.0

Mise en œuvre matérielle AHB du Cortex-M4

- Horloges et reset, gestion de l'énergie
- Utilisation d'un Wake-up Interrupt Controller (WIC) externe
- Interfaces de bus : interface mémoire Icode, interface mémoire Dcode, interface système et interface External Private Peripheral Bus
- Conformité AMBA-3
- Unification des bus de code
- Gestion des accès non alignés
- Interface de débogage
- Connexion au TPIU

- AHB Trace Macrocell (HTM)