RR0 - Mise en œuvre du Cortex-R4

Ce cours couvre le cœur ARM Cortex-R4

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du Cortex-R4
  - Mise en œuvre logicielle et débogage du Cortex-R4
  - Mise en œuvre matérielle du Cortex-R4.
- L'interaction entre les caches de niveau 1, les TCM et la mémoire principale est étudiée à travers des séquences.
- Le cours explique comment attribuer des permissions d'accès et des attributs aux régions à l'aide de la MPU.
- Le mécanisme d'exception est détaillé, en indiquant comment le port VIC peut contribuer à réduire la latence d'interruption.
- Le cours détaille également la mise en œuvre matérielle et fournit des règles pour concevoir un SoC à base de Cortex-R4.
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.

Prérequis

- Connaissance des ARM7/9.
- Ce cours ne comprend pas de chapitres sur la programmation bas niveau.
  - ACSYS propose un large ensemble de tutoriels pour se familiariser avec RVDS, la programmation en assembleur et les astuces de compilation.
- Plus de 12 bonnes réponses au questionnaire de prérequis Cortex-R.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Bases de l'arm

- États et modes
- Intérêt du banking de registres
- Mécanisme d'exception
- Jeux d'instructions
- Rôle du CP15

Introduction au Cortex-R4

- Schéma bloc
- Architecture ARMv7-R
- Jeux d'instructions pris en charge
- Exceptions
- Coprocesseur de contrôle système
- Options configurables

Pipeline d'instructions

- Unité de prefetch
- Nombre de cycles des instructions
- Mécanisme de prédiction de branchement dynamique
- Data Processing Unit
- Conditions de dual issue
- Pile de retour
- Instruction Memory Barrier

Types de mémoire

- Ordonnancement des mémoires device et normal
- Restrictions d'accès selon le type de mémoire
- Ordre des accès
- Memory barriers, code auto-modifiant

Memory protection unit

- PMSA de l'ARM v7
- MPU du Cortex-R4 et bus faults
- Présentation des régions, type de mémoire et contrôle d'accès, sous-régions
- Recouvrement des régions
- Mise en place de la MPU

Gestion des exceptions

- Low Interrupt Latency
- VIC Primecell
- Chronogramme des signaux de base du VIC
- Priorité et masquage des interruptions
- Exception abort
- Fautes précises et imprécises

Deuxième jour

Système mémoire de niveau 1

- Bases du cache
- Politique write with allocate
- Débogage lorsque les caches sont actifs
- Accès à la RAM du cache depuis l'interface esclave AXI
- Tightly Coupled Memories
- Protection ECC/parité
- Store buffer, fusion des données
- Lecture logicielle des caches L1 à des fins de débogage

Protocole AXI

- Interconnexion AXI PL301

- Phases adresse/contrôle et données séparées
- Canaux AXI, handshake de canal
- Prise en charge des transferts de données non alignés
- Interface mémoire externe du Cortex-R4, codage des ID

Mise en œuvre matérielle

- Domaines d'horloge, CLKIN, FREECLKIN et PCLKDBG
- Domaines de reset, power-on reset et debug reset
- Contrôle de l'énergie, gestion dynamique de la consommation
- Architecture Wait For Interrupt
- Débogage du processeur pendant sa mise hors tension

Troisième jour

Système mémoire de niveau 2

- Interface maître AXI
- Contrôle d'un cache externe
- Découpage des transactions AXI
- Interface esclave AXI
- Utilisation de l'interface esclave AXI pour exécuter des autotests intégrés
- Comprendre les mécanismes de récupération d'erreur
- Accès exclusifs
- Moniteur local

APB - advanced peripheral bus

- Brochage
- Chronogramme de lecture
- Chronogramme d'écriture
- Nouveautés de l'APB3.0

Moniteur de performance

- Comptage d'événements
- Choix de l'événement compté pour chacun des 3 compteurs
- Débogage d'un système multicœur à l'aide de la PMU

Modes basse consommation

- Domaines de tension
- Mode run, mode standby, mode dormant
- Étude de la séquence nécessaire pour entrer et sortir du mode dormant
- Signaux standby et wait for event

Unités de débogage CoreSight

- Débogage invasif, débogage non invasif
- Interface de débogage APBv3
- Moyens de débogage offerts par le Cortex-R4
- Breakpoint et watchpoint liés au processus
- Échantillonnage du compteur de programme
- Capture d'événements
- Debug Communication Channel
- Interface ETM, connexion au funnel
- Cross-Trigger Interface, débogage d'un SoC multicœur

APB - advanced peripheral bus

- Décodage d'adresse de second niveau
- Chronogramme de lecture
- Chronogramme d'écriture
- Nouveautés de l'APB3.0

Unité de débogage

- Moniteur de performance, comptage d'événements
- Présentation de la spécification CoreSight
- CP14 et registres mappés en mémoire
- Débogage de cœur embarqué
- Débogage invasif
- Exception de débogage
- Debug Communication Channel
- Interface de débogage externe
- Comprendre comment interagissent l'unité de débogage, l'Embedded Trace Macrocell et la Cross-Triggering Interface