RR1 - Mise en œuvre du Cortex-R5

Ce cours couvre les cœurs ARM Cortex-R5 / Cortex-R5F

Objectifs

- Ce cours se divise en 3 parties importantes :
  - Architecture du Cortex-R5
  - Mise en œuvre logicielle et débogage du Cortex-R5
  - Mise en œuvre matérielle du Cortex-R5.
- L'interaction entre les caches de niveau 1, les TCM et la mémoire principale est étudiée à travers des séquences.
- Le cours explique comment attribuer des permissions d'accès et des attributs aux régions à l'aide de la MPU.
- Le mécanisme d'exception est détaillé, en indiquant comment le port VIC peut contribuer à réduire la latence d'interruption.
- Des séquences mettant en jeu la mémoire, le cache et un maître externe servent à expliquer les apports du port ACP.
- Le cours détaille également la mise en œuvre matérielle et fournit des règles pour concevoir un SoC à base de Cortex-R5.
- Une présentation de la spécification CoreSight est donnée avant la description des unités liées au débogage.

Prérequis et cours associés

- Connaissances de base de l'architecture ARM.
- Notions de programmation en assembleur

Support de cours

- Un support de cours imprimé est remis aux participants pendant la formation.
- Précis et facile à utiliser, il peut servir de référence par la suite.

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Bases de l'arm

- États et modes
- Intérêt du banking de registres
- Mécanisme d'exception
- Jeux d'instructions

Introduction au Cortex-R5

- Ports AXI esclave et maître
- Mise en évidence des nouveautés par rapport au Cortex-R4
- Architecture ARMv7-R
- Exceptions
- Coprocesseur de contrôle système
- Options configurables
- CPU redondant et Twin-CPU

Pipeline d'instructions

- Unité de prefetch
- Nombre de cycles des instructions et comportement des interlocks
- Mécanisme de prédiction de branchement dynamique : global history buffer
- Data Processing Unit
- Dual-issuing limité
- Global History Buffer
- Pile de retour

Gestion des ressources exclusives

- Explication des problèmes lorsque plusieurs processeurs partagent une ressource exclusive
- Aspects logiciels, instructions load / store exclusive
- Moniteur local intégré
- Aspects matériels
- Utilisation des événements pour éviter de consommer de l'énergie en attendant la libération de la ressource

Types de mémoire

- Ordonnancement des mémoires device et normal
- Restrictions d'accès selon le type de mémoire
- Ordre des accès
- Memory barriers

Memory protection unit

- PMSA de l'ARM v7
- Plan mémoire par défaut
- MPU du Cortex-R5 et bus faults
- Présentation des régions
- Mise en place de la MPU

Gestion des exceptions

- Low Interrupt Latency
- VIC PL192 Primecell
- Chronogramme des signaux de base du VIC
- Connectique : VIC chaînés en daisy-chain
- Priorité et masquage des interruptions
- Détermination de la cause de la faute grâce aux registres d'état du CP15
- Fautes précises et imprécises

Deuxième jour

Système mémoire de niveau 1

- Bases du cache
- Organisation des Tag RAM et Data RAM
- Traitement des erreurs de parité / ECC du cache
- Opérations de maintenance du cache
- Tightly Coupled Memories
- Protection ECC/parité
- Préchargement des TCM avec ECC
- Utilisation des TCM dès le reset
- Store buffer, fusion des données

Cohérence de cache

- Cohérence matérielle et cohérence logicielle
- Interface pass through de l'ACP,
- Région d'interface périphérique AXI virtuelle
- DMA vers la TCM
- Mise en évidence de la différence entre la µSCU et la SCU du Cortex-A

Protocole AXI

- Interconnexion AXI PL301
- Canaux AXI, handshake de canal
- Ordonnancement des transactions
- Chronogrammes des burst de lecture et d'écriture
- Attributs de l'interface maître AXI
- Exemple de fusion d'écritures
- Attributs des interfaces esclave AXI
- Attributs des ports d'interface périphérique
- Interface Accelerator Coherency Port
- Contrôle d'un cache externe

Mise en œuvre matérielle

- Domaines d'horloge
- Domaines de reset
- Contrôle de l'énergie
- Maintenir les caches et la TCM alimentés en éteignant le pipeline : mode dormant
- Interaction du mode de consommation avec l'ACP
- Débogage du processeur pendant sa mise hors tension

Troisième jour

APB - advanced peripheral bus

- Décodage d'adresse de second niveau
- Brochage
- Nouveautés de l'APB3.0

Moniteur de performance

- Comptage d'événements
- Interruptions associées

- Débogage d'un système multicœur à l'aide de la PMU

Modes basse consommation

- Domaines de tension
- Mode run, mode standby, mode dormant
- Communication avec le contrôleur de gestion de l'énergie

Unités de débogage CoreSight

- Apports de CoreSight
- Débogage invasif, débogage non invasif
- Interface de débogage APBv3
- Connexion au Debug Access Port
- Breakpoint et watchpoint liés au processus
- Debug Communication Channel
- Interface ETM
- Cross-Trigger Interface
- Débogage de systèmes dotés de fonctions de gestion de l'énergie

Jeu d'instructions Thumb-2 (V7-A)

- Introduction
- Généralités sur la syntaxe
- Instructions de traitement de données
- Instructions de branchement et de contrôle de flot
- Instructions d'accès mémoire
- Blocs conditionnels If&then
- La pile en fonctionnement
- Instructions exclusive load et store
- Memory barriers et synchronisation
- Interworking entre les états ARM et Thumb