STR8 - Mise en œuvre du STM32MP15

Ce cours décrit le SoC STM32MP15x

Objectifs

- Ce cours détaille la mise en œuvre matérielle du SoC STM32MP15x
- Il met l'accent sur la séquence de boot, les horloges et les stratégies de gestion de l'énergie
- Il explique tous les paramètres qui influent sur les performances du système afin de faciliter le réglage final
- Une présentation du cœur Cortex-A7MP aide à comprendre les problèmes causés par la MMU, le cache et le snooping
- Une présentation du Cortex-M4F avec sa MPU est incluse pour comprendre le versant microcontrôleur de la mise en œuvre du STM32MP15
- Des travaux pratiques sont proposés pour se familiariser avec les mécanismes de synchronisation du STM32MP15x
- Notez que ce cours a été conçu à partir de l'architecture des composants de la série STM32MP15x, le STM32MP157C
- La présentation des périphériques faite dans ce cours peut être détaillée sur demande (cours STR9 - Les périphériques des STM32)

Prérequis et cours associés

- Maîtrise des concepts du langage C et de la programmation orientée embarqué
- Connaissances de base des processeurs embarqués
- Les cours suivants peuvent également vous intéresser :
  - cours RA4 - Mise en œuvre du Cortex-A7
  - cours RM3 - Mise en œuvre du Cortex-M4 / Cortex-M4F
  - cours STR9 - Les périphériques des STM32
  - cours OS3 - FreeRTOS Programming
  - cours D1S - Linux embarqué avec Ac6 System Workbench
  - cours D1Y - Linux embarqué avec Yocto

Environnement du cours

- Support de cours adapté
- Code d'exemple, travaux pratiques et solutions

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

Présentation de l'architecture du Cortex M4

- Présentation de l'architecture v7-M
- Architecture du cœur
  - Architecture Harvard, bus I-Code, D-Code et bus système
  - Write Buffer
  - Registres (deux pointeurs de pile)
  - États
  - Modes d'exécution et niveaux de privilège

    - System Control Block
    - Timer Systick
    - Présentation de la MPU
- Programmation
    - Alignement et boutisme
    - Bibliothèque CMSIS
- Présentation du mécanisme d'exception et d'interruption
    - Table de vecteurs
    - Présentation de l'entrée et du retour d'interruption
    - Tail-chaining
    - Préemption (imbrication)
    - Contrôleur d'interruptions intégré NVIC
    - Gestion des priorités d'exception
    - Escalade des fautes
- Interface de débogage

Présentation de l'architecture ARM Cortex-A7MP

- Présentation de l'architecture v7-A
- Présentation du Cortex A7
    - Architecture du Cortex-A7
    - Cohérence de cache matérielle
    - Principales caractéristiques du Cortex-A7
- Caractéristiques système
    - Multiprocessing
    - Maintenance du cache
    - Matériel de cohérence de cache
    - Distribution des interruptions
    - Modes d'économie d'énergie
    - Hiérarchie du système mémoire
    - Stockage et chargement du logiciel
- Memory Management Unit
- Generic Interrupt Controller
- Fonctionnement multicœur
- TrustZone
- Extension de virtualisation

Deuxième jour

Présentation de l'architecture du STM32MP15

- Architecture à base de cœur ARM
- Description de l'architecture du SoC STM32MP15
- Clarification des chemins internes de données et d'instructions :
    - Architecture de bus
    - Interconnexion réseau NIC-400 à base d'AXI
    - Interconnexion AHB multi-couches
- Organisation de la mémoire
    - Mémoires embarquées : (ROM, SYSRAM, MCU SRAM, Retention RAM
    - Mémoires externes : (DDR3/LPDDR2, FMC, QUADSPI, SDMMCx)
- Cartographie du SoC
- Configuration de boot

Contrôle du boot, de la sécurité et des mémoires OTP (BSEC)

- Introduction
- Schéma-bloc du BSEC

- Interface avec les OTP
- Mode de sécurité des OTP
- Opérations sur les OTP
  - Lecture d'un OTP
  - Programmation d'un OTP
  - Verrouillage permanent en écriture d'un OTP
- Registres scratch et accès à la Transport key (TK)
- Cartographie des OTP

Reset, alimentation et horloges

- Contrôle de l'alimentation
  - Présentation du contrôle de l'alimentation
  - Alimentations
  - Supervision des alimentations
  - Gestion de l'énergie
  - Modes basse consommation
  - Interruptions du contrôle d'alimentation
  - Contrôle d'alimentation et capacité TrustZone
- RCC, reset et horloges
  - Présentation du RCC
  - Schéma-bloc du RCC
  - Reset par le RCC
  - Horloges du RCC
  - Interruptions du RCC
  - Gérer le changement dynamique d'horloge
  - Programmation des PLL
  - Configurer l'horloge du sous-système
  - Calibration des horloges à l'aide des timers

Mécanismes de synchronisation

- Sémaphore matériel (HSEM)
  - Présentation du HSEM
  - Procédures de verrouillage
  - Procédures de libération
  - Interruptions
- Contrôleur de communication interprocesseur (IPCC)
  - Présentation de l'IPCC
  - Modes de canal simplex et half-duplex
  - Interruptions de l'IPCC

Troisième jour

Mise en œuvre matérielle

- Broches d'alimentation
- Brochage
  - Multiplexage des broches, fonctions alternatives
- Module GPIO
  - Configurer un GPIO
  - Sélection de la vitesse
  - Mécanisme de verrouillage
  - Fonction analogique
  - Résistances de tirage intégrées
  - Multiplexeur et affectation des broches d'entrée-sortie
  - Sécurité TrustZone

- Contrôleur de configuration système
  - Cellule de compensation des E/S
  - Source d'horloge Ethernet
- Interruptions
  - Nested Vectored Interrupt Controllers (NVIC)
  - Global interrupt Controller (GIC)
  - Extended Interrupt and event controller (EXTI)

Interconnexion interne

- Matrice de bus
- DMA

Sécurité et intégrité

- Extended TrustZone Protection Controller
  - Architecture Extended TrustZone et ETZPC
  - Architecture de sécurité du STM32P15x
  - Isolation des ressources du MCU sur STM32P15x
- Générateur de nombres aléatoires vrai (RNG)
- Processeur de hachage (HASH)
- Processeur cryptographique (CRYP)

Caractéristiques mémoire

- Contrôleur DDR3/LPDDR2/LPDDR3 (DDRCTRL)
  - Présentation de l'architecture du DDRCTRL
  - Contrôle du service de transaction et qualité de service
  - Économie d'énergie
  - Mapper d'adresses
  - Paramètres de timing de la DRAM
  - Séquence d'initialisation de la SDRAM
  - Contrôles de rafraîchissement
  - Configuration du DDRCTRL
  - TrustZone Address Space Controller pour la DDR
- Contrôle de l'interface physique DDR (DDRPHYC)
- Moniteur de performance DDR (DDRPERFM)
- Contrôleur Master Direct Memory Access (MDMA)
- Flexible Memory Controller (FMC)
- Interface Quad-SPI
- Delay Block

Quatrième jour

Communication en multitraitement asymétrique

- Présentation d'OpenAMP
- Composants d'OpenAMP
- Lien entre OpenAMP et Libmetal
- Comment écrire une application OpenAMP simple
- API CoProSync

Modules analogiques

- Convertisseur analogique-numérique (ADC)
- Convertisseur numérique-analogique (DAC)
- Filtre numérique pour modulateurs sigma-delta (DFSDM)

- Capteur de température (TDS)

Cinquième jour

Watchdogs et horloge temps réel (RTC)

- Independent Watchdogs (IWDG)
- Window Watchdog
- RTC
  - Présentation
  - Description fonctionnelle
  - Modes basse consommation du RTC

Connectivité et communication

- SPI
- USART/UART
- I2C
- Interface audio série et interface récepteur DPDIF
- Management data input/output (MDIOS)
- Interface Secure Digital input/output MultiMediaCard
- FDCAN
- USB OTG
- Contrôleur USB HS PHY
- USB EHCI/USB_OHCI
- HDMI-CEC
- Ethernet

Support de débogage

- Schéma-bloc du débogage
- Alimentation et horloges du débogage
- Sécurité
- Contrôleur TAP au niveau de la puce
- Port de débogage Serial Wire et JTAG (SWJ-DP)
- Port d'accès
- Débogage du Cortex-A7
- Débogage du Cortex-M4