TK1 - Mise en œuvre du KeyStone II

Ce cours couvre tous les SoC de la famille KeyStone II : AM5K2E, 66AK2H et 66AK2E

OBJECTIFS

- Le cours détaille la mise en œuvre matérielle du Key Stone II.
- Le cours se concentre sur la séquence de démarrage, la distribution des horloges et les stratégies de gestion de l'énergie.
- Le cours explique tous les paramètres qui influent sur les performances du système afin de réaliser facilement le réglage final.
- Les MAC Ethernet, ainsi que le Queue Manager et le Network Coprocessor, sont détaillés.
- La gestion des interruptions par le GIC ARM est expliquée au travers d'un exercice.
- Le cours couvre également la mise en œuvre matérielle, en particulier les alimentations et la distribution des horloges
- Tous les modes de fonctionnement de l'EDMA3 sont étudiés au travers de cas d'usage.
- Les interfaces haut débit d'usage général PCIe et USB 3.0 sont aussi abordées.

Prérequis et cours associés

- Le CPU ARM Cortex-A15 est étudié dans un cours séparé.
  - Voir Mise en œuvre du Cortex-A15 et programmation NEON cours RA3 - Mise en œuvre du Cortex-A15.
- Les cours suivants peuvent également vous intéresser :
  - PCIe cours IC4 - PCI Express 3.0
  - Gigabit Ethernet cours N1 - Ethernet et commutation
  - USB 3.0 cours IP3 - USB 3.0

Environnement du cours

- Cours théorique
  - Support PDF (en anglais), imprimé en présentiel ; à distance via Teams.
  - Assistance du formateur tout au long de la formation.
- Chaque session débute par un point avec les stagiaires.

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Architecture du KEY stone II

- Description des architectures des SoC AM5K2E, 66AK2H et 66AK2E
- Mémoires internes au composant
- Clarification des chemins de données internes : maîtres et esclaves TeraNet
- Memory Protection Unit
- Organisation d'une carte à base de Key Stone II
- Synthèse des caractéristiques de tous les périphériques
- Cartographie mémoire

ARM corepac

- Options d'instanciation du Cortex-A15 et du cache L2 intégré
- Contrôleur d'interruptions intégré (GIC), détail de la cartographie des interruptions
- Conversion big/little endian matérielle
- Local Power and Sleep Controller
- Architecture de débogage
- Introduction à CoreSight, caractéristiques du DAP
- System Secure Controller SJC
- Embedded Trace Macrocell

Mise en œuvre matérielle

- Alimentations, smart reflex
- Clock Control Module
- Contrôleur de reset
- Broches d'entrée/sortie d'usage général
- SerDes

Contrôleur EDMA3

- Logique des canaux DMA/QDMA
- Contrôleur de transfert, types de transferts
- Files d'événements
- Transfer Request Submission Logic
- Définition de la priorité des canaux
- Logique des canaux DMA/QDMA
- Parameter RAM (PaRAM) :
- • Chaînage des transferts
- • Régions fantômes du contrôleur de canaux

Accès aux mémoires externes

- Contrôleur DDR3
- EMIF16

CONTRÔLEUR PCIe

- Configuration en Agent ou en Root Complex
- Gestion des interruptions, MSI
- Gestion des erreurs
- Filtrage configurable des BAR
- Programmation des fenêtres entrantes et sortantes
- Gestion de l'énergie

Contrôleurs de communication

- Enhanced CSPI
- Interfaces I2C
- UART
- USB 3.0
- Contrôleur Ethernet 1G/10G
- Commutateur Ethernet
- Multicore Navigator
- Network coprocessor