V0 - Les fondamentaux des composants programmables

Cette formation s'adresse aux professionnels qui souhaitent utiliser ou maintenir des composants programmables

Objectifs

- Connaître les bases de la logique programmable
- Connaître l'offre générale en CPLD et FPGA
- Comprendre la description d'une application en HDL
- Comprendre les notions de synthèse logique et le déroulement du flot
- Découvrir la programmation des FPGA en VHDL et Verilog
- Comprendre comment élaborer et simuler un design

Environnement du cours

- Un PC pour deux stagiaires
- Xilinx ISE Design Suite 14.4 Webpack Edition
- Une carte Nexys-3 (à base de Xilinx Spartan6)

Prérequis

- Connaissance de l'électronique numérique
- Notions d'algèbre de Boole
- Quelques notions de programmation sont souhaitables (quel que soit le langage)

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Plan du cours

Premier jour

De la porte logique aux CPLD et FPGA

- Rappels d'électronique numérique
- Structure d'un circuit intégré
- SSI (small scale integration), TTL
- MSI (medium scale integration), PAL, GAL, PLD
- LSI (large scale integration), CPLD
- VLSI (very large scale integration), ASIC, ASSP, FPGA
- Évolution des architectures logiques
- Les différents composants
- Les technologies disponibles sur le marché
- Les contraintes technologiques
- Méthodes d'interconnexion (SRAM, Fuse, AntiFuse, Flash)
- Distribution de l'horloge
- Types d'éléments logiques
- Problématiques de timing

L'apport des langages HDL

- Intérêt de la programmation en HDL
  - VHDL
  - Verilog
- Les différentes étapes de la conception
  - Programmation
  - Simulation
  - Synthèse
  - Mapping
  - Placement et routage
  - Analyse temporelle
  - Génération du bitstream
- Définition d'un projet
- Structure d'un programme
- Affectation du PIN-OUT
- Programmation

Deuxième jour

L'éditeur de schémas

- La saisie de schéma
- Définition des primitives et des symboles
- Définition des ressources
- Compilation

Concepts de base des HDL (VHDL et Verilog)

- Entity/ Architecture et Module
- Signaux et wires
- Process et instructions Always/Initial
- Connecter entre eux des IP existantes

Bancs de test et simulation

- Instructions HDL spécifiques à la simulation
- Simulation fonctionnelle et comportementale (avec délais)
- Génération de vecteurs de test